

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 9 月 12 日 (12.09.2003)

PCT

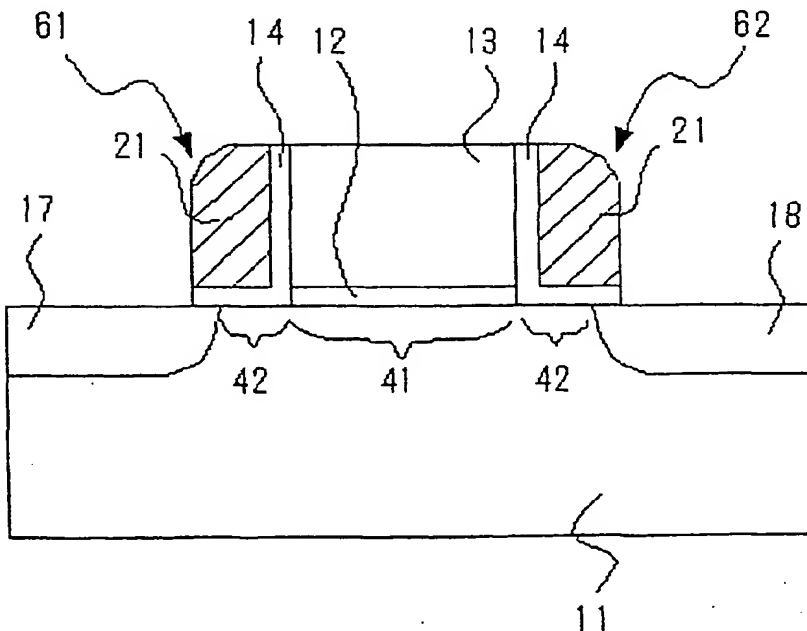
(10) 国際公開番号
WO 03/075358 A1

- (51) 国際特許分類⁷: H01L 29/792 (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町22番22号 Osaka (JP).
- (21) 国際出願番号: PCT/JP03/02420
- (22) 国際出願日: 2003 年 3 月 3 日 (03.03.2003)
- (25) 国際出願の言語: 日本語 (72) 発明者: および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 104-B203 Nara (JP).
- (30) 優先権データ:
特願2002-58142 2002 年 3 月 5 日 (05.03.2002) JP
特願2003-35280 2003 年 2 月 13 日 (13.02.2003) JP

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage comprises a semiconductor substrate (11), a gate insulating film (12) formed on the semiconductor substrate (11), a single gate electrode (13) formed on the gate insulating film (12), two charge holding portions (61, 62) on both sides of the side wall of the gate electrode (13), source/drain regions (17, 18) corresponding to the respective charge holding portions (61, 62), and a channel region disposed under the single gate electrode (13). The memory function shouldered by the two charge holding portions (61, 62) is separated from the transistor operation function shouldered by the gate insulating film (12) while maintaining the adequate memory function. By thinning the gate insulating film (12), a short-channel effect can be easily suppressed. Since the two charge holding portions (61, 62) are formed on both sides of the gate electrode (13), the interference during write is effectively suppressed. Further, by adequately setting the voltage of the gate electrode (13), the voltage of one diffusion layer region (17), and the voltage of the other diffusion layer region (18), holes or electrons can be selectively injected into the charge holding portion (62) on the side of the one diffusion layer region (18). Thus, a semiconductor storage capable of carrying out a two-bit operation and easily microminiaturized is provided.

(13) are isolated from each other by the gate electrode (13), the interference during write is effectively suppressed. Further, by adequately setting the voltage of the gate electrode (13), the voltage of one diffusion layer region (17), and the voltage of the other diffusion layer region (18), holes or electrons can be selectively injected into the charge holding portion (62) on the side of the one diffusion layer region (18). Thus, a semiconductor storage capable of carrying out a two-bit operation and easily microminiaturized is provided.

(57) 要約: 半導体基板 11 と、この半導体基板 11 上に形成されたゲート絶縁膜 12 と、このゲート絶縁膜 12 上に形成された単一のゲート電極 13 と、このゲート電極 13 側壁の両側に 2 つの電荷保持部 61、62 と、この電荷保持部 61、62 のそれぞれに対応するソース/ドレイン領域

[続葉有]



(74) 代理人: 青山 葆, 外(AOYAMA, Tamotsu et al.); 〒540-0001 大阪府 大阪市 中央区 城見1丁目3番7号 I M P ビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,

AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

17、18と、単一ゲート電極13下に配置されたチャネル領域とを備える構成により、2つの電荷保持部61、62が担うメモリ機能と、ゲート絶縁膜12が担うトランジスタ動作機能とを分離して、十分なメモリ機能を有しつつ、ゲート絶縁膜12を薄膜化して短チャネル効果を容易に抑制できる。また、ゲート電極13の両側に形成された2つの電荷保持部61、62は、ゲート電極13で分離されているので、書き換え時の干渉が効果的に抑制できる。さらに、ゲート電極13の電圧と、一方の拡散層領域17の電圧と、他方の拡散層領域18の電圧とを適切に設定することで、一方の拡散層領域18の側の電荷保持部62に、選択的に正孔または電子を注入できる。したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供できる。

明 細 書

半導体記憶装置

5 技術分野

本発明は、半導体記憶装置の動作方法に関する。より詳細には、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタからなる半導体記憶装置に関する。

10 背景技術

従来から、1つの電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリとして、サイファン・セミコンダクターズ・リミテッド社が開発したメモリがある（例えば、特表2001-512290号公報参照）。上記従来技術のメモリの構造と、消去動作原理を以下で説明する。

15 このメモリは、図9に示したように、P型ウェル領域901上にゲート絶縁膜を介して形成されたゲート電極909、P型ウェル領域901表面に形成された第1のN型拡散層領域902及び第2のN型拡散層領域903から構成される。ゲート絶縁膜は、シリコン酸化膜904、905の間にシリコン窒化膜906が挟まれた、いわゆるONO(Oxide Nitride Oxide)膜からなる。

20 シリコン窒化膜906中には、第1及び第2のN型拡散層領域902、903の端部付近に、それぞれ記憶保持部907、908が形成されている。

これらの記憶保持部907、908のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの情報を記憶させることができる。

25 次に、このメモリにおける消去動作方法を説明する。ここで、消去とは、記憶保持部907、908に蓄積された電子を放出させることを指すこととする。特表2001-512290号公報では、右側の記憶保持部908に蓄積された電子を放出させるために、第2の拡散層領域903に5.5Vを、ゲート電極909に-8Vを印加してドレイン電極に電子を引きぬく方法が開示されている。こ

れにより、2つある記憶保持部の特定の側を消去することができる。特定の側の書込み及び読出しを行う方法も開示されており、これらの方法を総合して2ビット動作が可能となっている。

しかし、前記のメモリでは、ゲート絶縁膜は、トランジスタを動作させるための機能と、電荷を蓄積するメモリ膜としての機能を併せ持たせるために、ONO膜の3層構造となっていた。それゆえ、ゲート絶縁膜の薄膜化が困難であった。また、チャネル長が短くなるにつれ、1つのトランジスタの記憶保持部907、908の2箇所が互いに干渉して2ビット動作が困難になっていた。それゆえ、さらなる素子の微細化が果たせなかった。

発明の開示

本発明は前記課題に鑑みなされたものであり、1つのトランジスタで2ビットの記憶保持を実現しながら、更に微細化することができる半導体記憶装置を提供することを目的とする。

上記課題を解決するため、第1の発明の半導体記憶装置は、第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、上記単一のゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置された第2導電型拡散層領域とを備え、上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の一方の上記第2導電型拡散層領域と他方の上記第2導電型拡散層領域との間に流れる電流量を変化させるように構成されてなり、上記他方の第2導電型拡散層領域を基準電圧とし、上記一方の第2導電型拡散層領域を第1電圧とし、上記ゲート電極を第2電圧とすることにより、キャリアを上記一方の第2導電型拡散層領域側に存する電荷保持部に注入することを特徴としている。

上記構成によれば、上記ゲート電極側壁の両側に形成された2つの電荷保持部

は、上記ゲート絶縁膜とは独立しているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャンネル効果を抑制するのが容易である。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。

更には、上記ゲート電極の電圧と、一方の第2導電型拡散層領域の電圧と、他方の第2導電型拡散層領域の電圧を適切に設定することにより、上記一方の第2導電型拡散層領域の側に有る電荷保持部に、選択的にキャリアを注入することができる。したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供される。

ここにおいて、上記第1導電型がP型であるとき、上記第2導電型はN型であり、上記キャリアは正孔である。一方、上記第1導電型がN型であるとき、上記第2導電型はP型であり、上記キャリアは電子である。また、上記第1電圧が、上記基準電圧より高い電圧であるとき、上記第2電圧は、上記基準電圧より低い電圧である。一方、上記第1電圧が、上記基準電圧より低い電圧であるとき、上記第2電圧は、上記基準電圧より高い電圧である。

1実施の形態の半導体記憶装置では、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜を、上記第1電圧とすることを特徴としている。

本実施の形態の半導体記憶装置によれば、上記他方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合に、順方向電圧が印加される。これによって、上記半導体基板中に、電子又は正孔のうちの一方が注入される。注入された電子又は正孔は、上記一方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合において、加速、散乱され、電子-正孔対を発生する。これによって発生した電子又は正孔のうちの他方が、キャリアとして、上記一方の第2導電型拡散層領域の側に有る電荷保

持部に選択的に注入される。この過程は、上記他方の第2導電型拡散層領域と、上記半導体基板との間の電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。

- 5 1 実施の形態の半導体記憶装置では、上記第1導電型は、P型であり、上記第2導電型は、N型であり、上記キャリアは、正孔であり、上記第1電圧は、上記基準電圧より高い電圧であり、上記第2電圧は、上記基準電圧より低い電圧であることを特徴としている。

10 上記実施の形態によれば、上記一方のN型拡散層領域の電圧を、上記基準電圧より高い電圧とし、上記ゲート電極の電圧を、上記基準電圧より低い電圧とすることによって、上記一方のN型拡散層領域の側に有る電荷保持部に、選択的に正孔を注入することができる。

15 また、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜を、上記基準電圧よりも高い電圧とすることによって、このP型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜と、上記他方のN型拡散層領域との間のPN接合に順方向電圧が印加され、これによって、上記半導体基板中に電子が注入される。上記注入された電子は、上記一方のN型拡散層領域と、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜との間のPN接合において加速、散乱され、電子-正孔対を発生する。このうちの正孔が、上記一方のN型拡散層領域の側に有る電荷保持部に選択的に注入される。この過程は、上記他方のN型拡散層領域と、上記半導体基板との間の電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。

20

25

1 実施の形態の半導体装置では、上記第1導電型は、N型であり、上記第2導電型は、P型であり、上記キャリアは、電子であり、上記第1電圧は、上記基準電圧より低い電圧であり、上記第2電圧は、上記基準電圧より高い電圧であることを特徴としている。

上記実施の形態によれば、上記一方のP型拡散層領域の電圧を、上記基準電圧より低い電圧とし、上記ゲート電極の電圧を、上記基準電圧より高い電圧とすることによって、上記一方のP型拡散層領域の側に有る電荷保持部に、選択的に電子を注入することができる。

5 また、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜を、上記基準電圧よりも低い電圧とすることによって、このN型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と、上記他方のP型拡散層領域との間のPN接合に順方向電圧が印加され、これによって、上記半導体基板中に正孔が注入される。
10 上記注入された正孔は、上記一方のP型拡散層領域と、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜との間のPN接合において加速、散乱され、電子-正孔対を発生する。このうちの電子が、上記一方のP型拡散層領域の側に有る電荷保持部に選択的に注入される。この過程は、上記他方のP型拡散層領域と、上記半導体基板との間の電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。

15 1 実施の形態では、上記第2導電型拡散層領域は、上記ゲート絶縁膜を介して上記ゲート電極とオーバーラップ領域を持たないオフセット構造を有していることを特徴としている。

20 上記実施の形態によれば、上記半導体記憶装置はいわゆるオフセットトランジスタ構造を有しており、大きなメモリ効果を得ることができる。一方、オフセット構造を有するがゆえに、上記ゲート電極の電位により、一方の第2導電型拡散層領域と、第1導電型半導体基板等との間のPN接合において、正孔又は電子のうちの一方の発生が促進される効果が乏しくなる。これに対して、上記他方の第2導電型拡散層領域と、上記第1導電型半導体基板等との間のPN接合には、順方向電圧が印加される。したがって、比較的低い電圧で、上記一方の第2導電型
25 拡散層領域と、上記第1導電型半導体基板等との間のPN接合において、この一方の第2導電型拡散層領域側に存する電荷保持部に注入すべきキャリアとしての

正孔又は電子のうちの他方が発生する。したがって、大きなメモリ効果を持ち、かつ、低電圧動作が可能な半導体記憶装置が提供される。

また、1実施の形態では、上記他方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間の電圧差の絶対値は、0.7V以上であって1V以下であることを特徴としている。

上記実施の形態によれば、上記他方の第2導電型拡散層領域と、上記第1型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合に流れる順方向電流が、上記一方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合において、キャリアとしての正孔又は電子が発生するのに十分な程度に得られる。また、上記順方向電流が、半導体記憶装置の消費電流を著しく増大させることがない。

また、1実施の形態では、上記ゲート電極のゲート長は、0.015 μ m以上であって0.5 μ m以下であることを特徴としている。

上記実施の形態によれば、一方の第2導電型拡散層領域と第1導電型半導体基板等との間のPN接合において、十分に正孔又は電子が発生し、上記電荷保持部に注入することができる。また、メモリ動作の基本となるトランジスタ動作が確保される。

また、1実施の形態では、上記電荷保持部は、第1の絶縁体、第2の絶縁体、第3の絶縁体からなり、上記電荷保持部は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、上記第1の絶縁体はシリコン窒化物であり、上記第2及び第3の絶縁体はシリコン酸化物であることを特徴としている。

上記実施の形態によれば、上記電荷を蓄積する機能を有する第1の絶縁体はシリコン窒化物であり、電荷（電子及び正孔）をトラップする準位が多数存在するため、大きなヒステリシス特性を得ることができる。また、第2及び第3の絶縁体はシリコン酸化物であるから、上記電荷保持部はいわゆるONO(Oxide

Nitride Oxide)膜構造になっているので、電荷の注入効率が高くなり、書換え動作を高速化できる。

また、1実施の形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも薄く、かつ、0.8 nm以上であることを特徴としている。

上記実施の形態によれば、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜とチャネル領域とを隔てる上記第2の絶縁体からなる膜の膜厚が、上記ゲート絶縁膜の膜厚より薄く、かつ、0.8 nm以上であるから、メモリの耐圧性能を低下させることなく書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、メモリ効果を増大することが可能となる。

また、1実施の形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも厚く、かつ、20 nm以下であることを特徴としている。

上記実施の形態によれば、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜とチャネル領域とを隔てる上記第2の絶縁体からなる膜の膜厚が、上記ゲート絶縁膜の膜厚より厚く、かつ、20 nm以下であるから、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

また、1実施の形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート絶縁膜の表面と略平行な表面を有する部分を含むことを特徴としている。

上記実施の形態によれば、半導体記憶装置の電荷保持特性の悪化を防ぎながら書換え速度を高速にすることができる。

また、1実施の形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート電極の側面と略並行に延びた部分を含むことを特徴としている。

上記実施の形態によれば、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、ゲート電極側面と略平行に延びた部分を含むので、書換え動作時に上記電荷を蓄積する機能を有する第1の絶縁体からなる膜に注入される電荷量が増

大し、書換え速度が増大する。

また、1実施の形態では、上記電荷保持部の少なくとも一部が上記第2導電型拡散層領域の一部にオーバーラップするように形成されてなることを特徴としている。

- 5 上記実施の形態によれば、半導体記憶装置の読出し電流を大きくし、読出し電流のばらつきを抑えることができるので、半導体記憶装置の読出し動作を高速にすることができる。

図面の簡単な説明

- 10 図1は、本発明の第1実施の形態の半導体記憶装置の第1の例の要部の概略断面図である。

図2は、本発明の第1実施の形態の半導体記憶装置の第2の例の要部の概略断面図である。

- 15 図3は、本発明の第1実施の形態の半導体記憶装置の第3の例の要部の概略断面図である。

図4Aおよび図4Bは、本発明の半導体記憶装置の書込み動作を説明するための要部の概略断面図である。

図5は、本発明の半導体記憶装置の第1の消去動作を説明するための要部の概略断面図である。

- 20 図6は、本発明の半導体記憶装置の第2の消去動作を説明するための要部の概略断面図である。

図7Aおよび図7Bは、図6の切断面線A-A'における、電子に対するエネルギーダイヤグラムである。

- 25 図8は、本発明の半導体記憶装置の第2の消去方法における、ゲート長が変化した時の消去能力の変化を示すグラフである。

図9は、本発明の第2の実施の形態の半導体記憶装置の要部の概略断面図である。

図10は、図9の半導体記憶装置の要部の拡大概略断面図である。

図11は、図9の半導体記憶装置の変形例における要部の拡大概略断面図であ

る。

図 1 2 は、本発明の第 2 の実施の形態の半導体記憶装置の電気特性を示すグラフである。

図 1 3 は、本発明の第 2 の実施の形態の半導体記憶装置の変形例における要部の概略断面図である。

図 1 4 は、本発明の第 3 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 5 は、本発明の第 4 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 6 は、本発明の第 5 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 7 は、本発明の第 6 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 8 は、本発明の第 7 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 9 は、本発明の第 8 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 2 0 は、本発明の第 9 の実施の形態の半導体記憶装置の電気特性を示すグラフである。

図 2 1 は、従来のフラッシュメモリの電気特性を示すグラフである。

図 2 2 は、従来の半導体記憶装置を示す要部の概略断面図である。

発明を実施するための最良の形態

本発明の半導体記憶装置は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された電荷保持部と、電荷保持部のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域（拡散層領域）と、ゲート電極下に配置されたチャネル領域とから構成される。

この半導体記憶装置は、1つの電荷保持部に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能する。

しかしながら、この半導体記憶装置は、必ずしも4値又はそれ以上の情報を記憶して機能させる必要はなく、例えば、2値の情報を記憶して機能させてもよい。

本発明の半導体記憶装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

5 半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面半導体層としてシリコン層が形成され
10 たSOI基板が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による単結晶）、多結晶又はアモルファスのいずれであってもよい。

この半導体基板上又は半導体層上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、
15 半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電型を有していてもよく、半導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半
20 導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定される
25 ものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20nm程度、好ましくは1～6nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ

形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャンネル領域が形成されるが、チャンネル領域は、ゲート電極下のみならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャンネル領域が存在する場合には、そのチャンネル領域は、ゲート絶縁膜又は後述する電荷保持部で覆われていることが好ましい。

電荷保持部は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップする機能を有する膜又は領域を含んで構成される。これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシド、ジルコニウムオキシド、タンタルオキシド等の高誘電体；酸化亜鉛；金属等が挙げられる。電荷保持部は、例えば、シリコン窒化膜を含む絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜を電荷保持部として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。更には、複

数のメモリ素子（半導体記憶装置）を配列する場合、メモリ素子間の距離が縮まって隣接する電荷保持部が接触しても、電荷保持部が導電体からなる場合のように夫々の電荷保持部に記憶された情報が失われることがない。また、コンタクトプラグをより電荷保持部と接近して配置することができ、場合によっては電荷保持部と重なるように配置することができるので、メモリ素子の微細化が容易となる。

さらに記憶保持に関する信頼性を高めるためには、電荷を保持する機能を有する絶縁膜は、必ずしも膜状である必要はなく、電荷を保持する機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

また、導電膜もしくは半導体層を内部に含む絶縁体膜を電荷保持部として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜を電荷保持部として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化の効果がある。

つまり、電荷保持部は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

電荷保持部は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

電荷保持部は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動してメモリ素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たす電荷保持部としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜及びシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキサイド、イットリウムオキサイドなどを用いることができる。更には、第2及び第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質であってもよい。

電荷保持部は、ゲート電極の両側に形成されており、また、半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。

電荷保持部に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介

して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

ゲート電極は、電荷保持部の側壁のみに形成されるか、あるいは電荷保持部の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、電荷保持部のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好ましい。特に重要なことは、電荷保持部中の電荷蓄積領域の少なくとも一部が、拡散層領域であるソース／ドレイン領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、電荷保持部の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差により電荷保持部を横切る

電界によって記憶を書き換えることであるためである。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいために、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

本発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜（第2の絶縁体）／電荷蓄積膜（第1の絶縁体）／絶縁膜（第2の絶縁体）の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法が挙げられる。このほか、所望の電荷保持部の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

以下に、本発明の半導体記憶装置について、図面に基づいて詳細に説明する。

(第1実施の形態)

本実施の形態の半導体記憶装置を構成するメモリ素子の構造を、図1～図3を用いて説明する。図1～図3は、メモリ素子の概略断面図であり、それぞれサイドウォールスペーサ形状の電荷保持部の構造が異なっている。

5 本実施の形態の半導体記憶装置を構成するメモリ素子は、2ビットの記憶が可能な不揮発性メモリセルである。このメモリセルは、図1～図3に示すように、第1導電型の半導体基板11上に、ゲート絶縁膜12を介して、通常のトランジスタと同程度のゲート長を有するゲート電極13が形成されており、ゲート絶縁膜12及びゲート電極13の側壁に、サイドウォールスペーサ形状の電荷保持部
10 61、62が形成されて構成されている。また、電荷保持部61、62のゲート電極13と反対の側には、それぞれ第2導電型の第1の拡散層領域17及び第2の拡散層領域18（ソース／ドレイン領域）が形成されており、このソース／ドレイン領域17、18は、ゲート電極13端部に対して（ゲート電極13が形成された領域41から）オフセットされている。

15 このように、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成されている。したがって、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。したがって、このメモリトランジスタは、2ビットの記憶
20 が可能で、かつ微細化が容易である。

また、ソース／ドレイン領域17、18がゲート電極13からオフセットされていることにより、ゲート電極13に電圧を印加したとき、電荷保持部下のオフセット領域42の反転しやすさを、電荷保持部に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。更に、通常
25 のロジックトランジスタと比較して、短チャネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

サイドウォールスペーサ形状の電荷保持部は、例えば図1のように、サイドウ

オール形状をしたシリコン窒化膜 2 1 と、このシリコン窒化膜 2 1 とゲート電極 1 3、半導体基板 1 1 及びソース／ドレイン領域 1 7、1 8 とを隔てるシリコン酸化膜 1 4 とからなる構造にすることができる。電荷（電子又は正孔）を蓄積する機能を有するのはシリコン窒化膜 2 1 であり、シリコン酸化膜 1 4 はシリコン窒化膜 2 1 に蓄積された電荷の漏れを防いでいる。

電荷保持部の他の例は、図 2 に示すように、サイドウォール形状をした導電体膜 2 2 と、この導電体膜 2 2 と、ゲート電極 1 3、半導体基板 1 1 及びソース／ドレイン領域 1 7、1 8 とを隔てるシリコン酸化膜 1 4 とからなっている。電荷を蓄積する機能を有するのは導電体膜 2 2 であり、シリコン酸化膜 1 4 は導電体膜 2 2 に蓄積された電荷の漏れを防いでいる。

電荷保持部は、更に、図 3 に示す構造を有していてもよい。サイドウォールスペーサ形状の電荷保持部は、シリコン窒化膜 1 5 がシリコン酸化膜 1 4、1 6 で挟まれた構造を有している。シリコン窒化膜 1 5 は、電荷（電子又は正孔）をトラップして蓄積する機能を有している。主として電荷を蓄積するのは、シリコン窒化膜 1 5 のうち、オフセット領域 4 2 上に存する部分である。このように、電荷保持部はシリコン窒化膜 1 5 がシリコン酸化膜 1 4、1 6 によって挟まれた構造を有するため、電荷保持部への電荷注入効率が上がり、書換え動作（書込み及び消去動作）の高速化が実現する。

電荷保持部の構造は、上記 3 つの例（図 1 ～図 3）に限らず、例えば、電荷保持部に電荷を蓄積する機能を有する量子ドットが含まれているものでもよい。また、電荷保持部の形状はサイドウォール形状を有している必要はなく、ゲート電極の両側にあつて、その一部が半導体基板 1 1 及びソース／ドレイン領域 1 7、1 8 に接していればよい。

次に、このメモリ素子の動作原理について、図 4 ～図 8 を用いて説明する。なお、図 4 ～図 6 は、図 3 に示した電荷保持部を持つメモリ素子の場合を示しているが、その他の形状の電荷保持部を持つメモリ素子にも適用することができる。

まず、このメモリ素子の書込み動作について、図 4 を用いて説明する。なお、書込みとは、メモリ素子が N チャネル型のとき、電荷保持部に電子を注入することを指し、メモリ素子が P チャネル型のとき、電荷保持部に正孔を注入すること

を指すこととする。なお、メモリ素子がNチャネル型の時は、第1導電型の半導体基板11はP型であると共に、第2導電型の拡散層領域17、18はN型であり、メモリ素子がPチャネル型のときは、各々の導電型が逆となる。以下の説明（読出し方法及び消去方法に関する説明も含む）では、メモリ素子がNチャネル型の場合を説明するが、Pチャネル型の場合は電子と正孔の役割を逆にすればよい。また、Pチャネル型の場合は各ノードに印加する電圧の符号を全て反対にすればよい。このメモリの書込み動作は、ドレイン電界により加速されたホットエレクトロン（熱電子）を電荷保持部に注入することにより行なう。

第2の電荷保持部62に電子を注入する（書込む）ためには、図4Aに示すように、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の拡散層領域18に+5V、ゲート電極13に+4Vを印加すればよい。このような電圧条件によれば、反転層31が、第1の拡散層領域17（ソース電極）から伸びるが、第2の拡散層領域18（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域18（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2の電荷保持部62（より正確にはシリコン窒化膜15）に注入されることにより書込みが行なわれる。なお、第1の電荷保持部61近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。このようにして、第2の電荷保持部62に電子を注入して、書込みを行なうことができる。

一方、第1の電荷保持部61に電子を注入する（書込む）ためには、図4Bに示すように、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18及び半導体基板11に0V、第1の拡散層領域17に+5V、ゲート電極13に+4Vを印加すればよい。このように、第2の電荷保持部62に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1の電荷保持部61に電子を注入して、書込みを行なうことができる。

次に、上記メモリ素子の読み出し動作原理を説明する（図示せず）。

第1の電荷保持部61に記憶された情報を読み出す場合、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の拡散層領域18に+2V、ゲート電極13に+1Vを印加すればよい。この際、第1の電荷保持部61に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1の電荷保持部61に電子が蓄積している場合は、第1の電荷保持部61近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1の電荷保持部61の記憶情報を読み出すことができる。このとき、第2の電荷保持部62における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

第2の電荷保持部62に記憶された情報を読み出す場合、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域18及び半導体基板11に0V、第1の拡散層領域17に+2V、ゲート電極13に+1Vを印加すればよい。このように、第1の電荷保持部61に記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2の電荷保持部62に記憶された情報の読出しを行なうことができる。

なお、ゲート電極13で覆われないチャネル領域（オフセット領域41，42）が残されている場合、ゲート電極13で覆われないチャネル領域においては、電荷保持部61，62の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域42の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域42の幅を決定することが好ましい。

拡散層領域17，18がゲート電極13端に達している場合、つまり、拡散層領域17，18とゲート電極13とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）

した。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散層領域 17, 18 とゲート電極 13 とがオーバーラップしていない（オフセット領域 42 が存在する）ほうが好ましい。

5 次に、上記半導体記憶装置の第 1 の消去方法を図 5 で説明する。

第 2 の電荷保持部 62 に記憶された情報を消去する場合、一方の第 2 導電型拡散層領域としての第 2 の拡散層領域 18 に、正電圧（例えば、+5 V）を印加すると共に、半導体基板 11 に 0 V を印加して、上記第 2 の拡散層領域 18 と半導体基板 11 との間の PN 接合に逆バイアスをかけ、更に、ゲート電極 13 に負電圧（例えば、-5 V）を印加する。このとき、上記 PN 接合のうちゲート電極 13 付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の半導体基板 11 側に正孔（ホール）が発生する。この正孔が負の電位をもつゲート電極 13 方向に引きこまれ、その結果、第 2 の電荷保持部 62 に正孔が注入される。このようにして、第 2 の電荷保持部 62 の消去が行なわれる。このとき、他方の第 2 導電型拡散層領域としての第 1 の拡散層領域 17 は、0 V を印加するか、又は、オープン状態にすればよい。

上記消去方法において、第 1 の電荷保持部 61 に記憶された情報を消去する場合は、上記において第 1 の拡散層領域と第 2 の拡散層領域の電位を入れ替えればよい。

20 次に、上記半導体記憶装置の第 2 の消去方法を図 6 及び図 7 で説明する。

第 2 の電荷保持部 62 に記憶された情報を消去する場合、図 6 に示すように、一方の第 2 導電型拡散層領域としての第 2 の拡散層領域 18 に正電圧（例えば、+4 V）、他方の第 2 導電型拡散層領域としての第 1 の拡散層領域 17 に 0 V、ゲート電極 13 に負電圧（例えば、-4 V）、半導体基板 11 に正電圧（例えば、+0.8 V）を、各々印加すればよい。すなわち、他方の N 型拡散層領域（第 1 の拡散層領域 17）を基準電圧とし、一方の N 型拡散層領域（第 2 の拡散層領域 18）を基準電圧より高い電圧とし、ゲート電極 13 を基準電圧より低い電圧とし、第 1 導電型としての P 型の半導体基板（半導体基板 11）を、上記基準電圧

より高い電圧とする。なお、各ノードに印加する電圧は相対的なものであるから、半導体基板 11 を基準電圧 (0 V) とすれば、上記条件は、第 2 の拡散層領域 18 が +3.2 V、第 1 の拡散層領域 17 が -0.8 V、ゲート電極 13 が -4.8 V である場合と等価である。すなわち、第 1 導電型半導体基板 (P 型半導体基板 11) を基準電圧とし、他方の第 2 導電型拡散層領域 (第 1 の N 型拡散層領域 17) を基準電圧よりも低い電圧とし、一方の第 2 導電型拡散層領域 (第 2 の N 型拡散層領域 18) を基準電圧よりも高い電圧とし、ゲート電極 13 を基準電圧よりも低い電圧とする。

なお、本実施の形態の半導体記憶装置をセルアレイ状に配置する場合は、各メモリ素子の P 型半導体基板を共通とし (すなわち、1 個の半導体基板上にメモリセルアレイを形成するか、もしくは、半導体基板中に共通の P 型ウェル領域を形成してその上にメモリセルアレイを形成する)、P 型半導体基板の電位を固定して動作させるのが好ましい。なぜなら、共通の P 型半導体基板は非常に大きな面積の PN 接合を有しているから、P 型半導体基板の電位を変動させると PN 接合に纏わる容量を充電するために大きな電流が流れるからである。

図 7 A および図 7 B は、図 6 における切断面線 A-A' における、電子に対するエネルギーダイヤグラム (エネルギーバンド図) を示している。図 7 A は、半導体基板 11 に第 1 の拡散層領域 17 と同じ 0 V を印加したとき (他のノードの電位は図 6 と同じ) を表し、図 7 B は、半導体基板 11 に +0.8 V を印加したとき (すなわち図 6 に示した条件と同じ) を、それぞれ表している。図 7 A, B 中、 E_c は伝導電子帯端を、 E_v は価電子帯端をそれぞれ表しており、 E_c と E_v の間はバンドギャップとなっている。

図 7 A の場合は、電圧の絶対値は異なるものの、本質的に第 1 の消去方法と同じである。この場合、半導体基板 11 と第 2 の拡散層領域 18 との間には、バンド間トンネルが起きるに足る電位差を与えなければならない。第 2 の消去方法は、半導体基板 11 と第 2 の拡散層領域 18 との間の電位差が、バンド間トンネルが起きるに足らない場合であっても、正孔を発生させて消去動作を行なうものである。第 2 の消去方法における最も重要な点は、第 1 の拡散層領域 17 と半導体基板 11 との間の PN 接合に、順方向電圧を印加することである。図 7 B に示すよ

うに、上記順方向電圧を印加すると、半導体基板 11 のポテンシャルは、点線から実線へと低下する。そのため、第 1 の拡散層領域 17 から半導体基板 11 へ電子が注入される（電子 51）。半導体基板へ注入された電子 51 は、第 2 の拡散層領域 18 と半導体基板 11 との間の PN 接合に達して電界により加速され、散乱によりエネルギーを失う（電子 52）。このとき失われたエネルギーは、価電子帯の電子が受け取り、電子 53 と正孔 54 との対を発生させる。かくして第 2 の拡散層領域 18 と半導体基板 11 との間の PN 接合において正孔が発生し、更に第 2 の電荷保持部 62 に注入されて消去が行われる。

上記第 2 の消去方法によれば、第 2 の拡散層領域 18 と半導体基板 11 に印加する逆方向バイアスが比較的小さい場合であっても正孔を発生させ、消去動作が可能となる。それゆえ、メモリ素子の動作電圧を低くすることが可能となる。したがって、低消費電力化、メモリ素子劣化の抑制を実現することができる。特に、オフセット領域 42 が存在する場合は、負の電位が印加されたゲート電極により PN 接合のポテンシャルが急峻となる効果が少ない。そのため、バンド間トンネルによる正孔の発生が難しいのであるが、第 2 の消去方法はその欠点を補い、低電圧で消去動作を実現することができる。それゆえ、オフセット領域 42 を設けることによりメモリ効果が増大する本発明のメモリ装置においては、第 2 の消去方法は特に好ましいのである。

第 1 の拡散層領域 17 と半導体基板 11 との間に印加する順方向バイアスは、0.7 V 以上の時に消去が行われ、0.7 V 未満では全く消去が行われなかった。また、上記順方向バイアスが 1 V を越えると順方向電流が増大して、消去動作時の消費電流が著しく増大してしまった。したがって、上記順方向バイアスは、0.7 V 以上であって、1 V 以下であるのが好ましい。

上記第 2 の消去方法において、第 1 の電荷保持部 61 に記憶された情報を消去する場合は、上記第 1 の拡散層領域の電位と、第 2 の拡散層領域の電位とを入れ替えればよい。

図 8 は、上記第 2 の消去方法において、ゲート長が変化した時の消去能力の変化を示す図である。図 8 を作成するための実験では、メモリ素子に書込み動作を行なった後にメモリ素子の閾値を測定し、続いて上記第 2 の消去方法で消去動作

を行なった後に再び閾値を測定した。書込み動作を行なう前の閾値の初期値は約 0.4 Vであった。書込み動作を行なった後は、ゲート長に関わらずほぼ一定の閾値 (0.85 V) まで閾値が上昇した。一方、消去動作を行なった後は、ゲート長が 0.5 μm 以下ではほぼ一定の閾値 (0.4 V) まで閾値が低下したが、0.6 μm 以上ではゲート長の増大にしたがって急速に消去能力が低下していくことが分かった。このような現象が起きる原因は、以下のように考えられる。図 7Bにおいて、第1の拡散層領域17から半導体基板11中に注入された電子51は、ゲート長 (チャネル長) が十分に短い場合には、第2の拡散層領域18と半導体基板11とのPN接合に達することができる。しかし、ゲート長 (チャネル長) が長い場合には、電子51は再結合などによって失われ、もしくは負電位を持つゲート電極から反発力を受け、上記PN接合に達する数が著しく減少する。そのため、図8に示すような特性が得られたものと考えられる。これより、このメモリ素子のゲート長は0.5 μm 以下であることが好ましい。このメモリ素子は、既に述べたように特に微細化に適しているのであるが、ゲート長が0.015 μm 以下となると、もはやトランジスタ動作自体が困難なものとなる。以上のことを総合して、このメモリ素子のゲート長は0.015 μm 以上であって、0.5 μm 以下であることが好ましい。

上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極を固定して1ビットメモリとして動作させてもよい。この場合ソース/ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース/ドレイン領域に接続されるビット線の本数を半減できる。

なお、上記動作方法は本実施の形態の半導体記憶装置に限らず、他の実施の形態の半導体記憶装置についても適用することができる。

本実施の形態の半導体記憶装置によれば、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット動作が可能である。更には、各電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている

ので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって素子の微細化が容易となる。

また、この半導体記憶装置の第2の消去方法によれば、比較的低い電圧で正孔を発生させて消去動作を行なうことが可能となる。それゆえ、メモリ素子の動作電圧を低くすることが可能となる。したがって、低消費電力化、メモリ素子劣化の抑制を実現することができる。更には、上記第2の消去方法は、拡散層領域をゲート電極に対してオフセットすることによりメモリ効果が増大する本発明のメモリ装置においては、消去動作電圧を低減する効果が特に大きい。

(第2実施の形態)

この実施の形態の半導体記憶装置は、図9に示すように、電荷保持部161、162が、電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってよい）とから構成される。例えば、ONO構造を有している。すなわち、第1の絶縁体としてのシリコン窒化物からなる膜142が、第2の絶縁体としてのシリコン酸化物からなる膜141と、第3の絶縁体としてのシリコン酸化物からなる膜143との間に挟まれて、電荷保持部161、162を構成している。ここで、シリコン窒化膜142は、電荷を蓄積して保持する機能を果たす。また、シリコン酸化膜141、143はシリコン窒化膜中に蓄えられた電荷を逃げにくくする機能を果たす。

また、上記電荷保持部161、162における電荷を保持する領域（シリコン窒化膜142）は、拡散層領域112、113とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散層領域112、113の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜142）の少なくとも一部が存在することを意味する。なお、111は半導体基板、114はゲート絶縁膜、117はゲート電極、171は（ゲート電極と拡散層領域との）オフセット領域である。図示しないが、ゲート絶縁膜114下であって半導体基板111の最表面部はチャネル領域となる。

電荷保持部161、162における電荷を保持する領域142と拡散層領域112、113とがオーバーラップすることによる効果を説明する。

図10は、図9の右側の電荷保持部162周辺部の拡大図である。W1はゲート電極114と拡散層領域113とのオフセット量を示す。また、W2はゲート電極のチャネル長方向の切断面における電荷保持部162の幅を示しているが、電荷保持部162のうちシリコン窒化膜142のゲート電極117と離れた側の端が、ゲート電極117から離れた側の電荷保持部162の端と一致しているため、電荷保持部162の幅をW2として定義した。電荷保持部162と拡散層領域113とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、電荷保持部162のうちシリコン窒化膜142が、拡散層領域113とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図11に示すように、電荷保持部162aのうちシリコン窒化膜142aのゲート電極と離れた側の端が、ゲート電極から離れた側の電荷保持部162aの端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

図12は、図10の構造において、電荷保持部162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流は、電荷保持部162を消去状態（正孔が蓄積されている）とし、拡散層領域112、113をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

図12から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散層領域113とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散層領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域とがオーバーラップすることが好ましい。

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散層領域112、

1 1 3とは設計値として40 nmオーバーラップし、W1が100 nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60 nmとした場合の方が、読出しアクセス時間で100倍高速であった。

5 実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、 $W1 = W2$ では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、 $W2 - W1 > 10 \text{ nm}$ であることがより好ましいことが判明した。

10 図9乃至11の半導体記憶装置において、電荷保持部161（領域181）に記憶された情報の読み出しは、実施の形態1と同様に、拡散層領域112をソース電極とし、拡散層領域113をドレイン領域としてチャンネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つの電荷保持部のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャンネル領域内であって、他方の電荷保持部に近い領域に形成させるのが好ましい。これにより、電荷保持部162の記憶状況の如何にかかわらず、電荷保持部161の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

15 一方、2つの電荷保持部161、162のうちの片側のみに情報を記憶させる場合又は2つの電荷保持部161、162を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

20 なお、図9には図示していないが、半導体基板111の表面にウェル領域（Nチャンネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャンネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャンネル効果）を制御するのが容易になる。

25 電荷保持部は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜142、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜1

4 1、1 4 3を用いている。電荷保持部が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、電荷保持部が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内
5 での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、電荷保持部は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、言い換えると、電荷保持部における電荷保持膜の上面が、ゲート絶縁膜
10 上面から等しい距離に位置するように配置されることが好ましい。具体的には、図1 3に示すように、電荷保持部1 6 2の電荷保持膜1 4 2 aが、ゲート絶縁膜1 1 4表面と略平行な面を有している。言い換えると、電荷保持膜1 4 2 aは、ゲート絶縁膜1 1 4表面に対応する高さから、均一な高さに形成されることが好ましい。電荷保持部1 6 2中に、ゲート絶縁膜1 1 4表面と略平行な電荷保持膜1 4 2 aがあることにより、電荷保持膜1 4 2 aに蓄積された電荷の多寡により
15 オフセット領域1 7 1での反転層の形成されやすさを効果的に制御することができる。ひいてはメモリ効果を大きくすることができる。また、電荷保持膜1 4 2 aをゲート絶縁膜1 1 4の表面と略平行とすることにより、オフセット量(W1)がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜1 4 2 a上部方向
20 への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、電荷保持部1 6 2は、ゲート絶縁膜1 1 4の表面と略平行な電荷保持膜1 4 2 aとチャネル領域(又はウェル領域)とを隔てる絶縁膜(例えば、シリ
コン酸化膜1 4 4のうちオフセット領域1 7 1上の部分)を含むことが好ましい。
25 この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い半導体記憶装置を得ることができる。

なお、電荷保持膜1 4 2 aの膜厚を制御すると共に、電荷保持膜1 4 2 a下の絶縁膜(シリコン酸化膜1 4 4のうちオフセット領域1 7 1上の部分)の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷

までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、電荷保持膜142a下の絶縁膜の最小膜厚値から、電荷保持膜142a下の絶縁膜の最大膜厚値と電荷保持膜142aの最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜142aに蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

(第3実施の形態)

この実施の形態は、電荷保持部162において、第1の絶縁体からなる膜としての電荷保持膜142が、図14に示すように、略均一な膜厚を有する。さらに、この電荷保持膜142は、ゲート絶縁膜114の表面と略平行な表面を有する部分としての第1部181と、ゲート電極117側面と略平行に延びた部分としての第2部182とを有している。

ゲート電極117に正電圧が印加された場合には、電荷保持部162中での電気力線は、矢印183で示すように、シリコン窒化膜142を、上記第1部181と第2部182とで2回通過する。なお、ゲート電極117に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜142の比誘電率は約6であり、シリコン酸化膜141、143の比誘電率は約4である。したがって、電荷保持膜142が第1部181のみを有する場合よりも、電気力線183方向における電荷保持部162の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極117に印加された電圧の多くの部分が、オフセット領域171における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜142に注入されるのは、発生した電荷がオフセット領域171における電界により引き込まれるためである。したがって、電荷保持膜142が第2部182を含むことにより、書換え動作時に電荷保持部162に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜143の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜114の表面に対応する高さに対して均一でない場合、

シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

5 さらに、電荷保持部は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

10 また、電荷保持部は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、半導体記憶装置の信頼性を向上させることができる。

15 さらに、第 2 実施の形態と同様に、電荷保持膜 1 4 2 の下側の絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 1 4 2 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

20 （第 4 実施の形態）

この実施の形態は、ゲート電極、電荷保持部及びソース／ドレイン領域間距離の最適化に関する。

25 図 1 5 に示すように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方の電荷保持部 1 6 1 の端から他方の電荷保持部 1 6 2 の端までの距離、つまり、チャネル長方向の切断面における一方の電荷保持部 1 6 1 内の電荷を保持する機能を有する膜 1 4 2 の端（ゲート電極 1 1 7 から離れている側）から他方の電荷保持部 1 6 2 内の電荷を保持する機能を有する膜 1 4 2 の端（ゲート電極 1 1 7 から離れている側）までの距離を示す。

まず、 $B < C$ であることが好ましい。チャネル領域のうちゲート電極 117 下の部分とソース／ドレイン領域 112、113 との間にはオフセット領域 171 が存する。 $B < C$ により、電荷保持部 161、162（シリコン窒化膜 142）に蓄積された電荷により、オフセット領域 171 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

また、ゲート電極 117 とソース／ドレイン領域 112、113 がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極 117 に電圧を印加したときのオフセット領域の反転のしやすさが電荷保持部 161、162 に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、必ずしも存在する必要はない。オフセット領域 171 がない場合においても、ソース／ドレイン領域 112、113 の不純物濃度が十分に薄ければ、電荷保持部 161、162（シリコン窒化膜 142）においてメモリ効果が発現し得る。したがって、 $A < B < C$ であるのが最も好ましい。

（第 5 実施の形態）

この実施の形態の半導体記憶装置は、図 16 に示すように、実施の形態 2 における半導体基板を SOI 基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板 186 上に埋め込み酸化膜 188 が形成され、さらにその上に SOI 層が形成されている。SOI 層内には拡散層領域 112、113 が形成され、それ以外の領域はボディ領域 187 となっている。

この半導体記憶装置によっても、実施の形態 3 の半導体記憶装置と同様の作用効果を奏する。さらに、拡散層領域 112、113 とボディ領域 187 との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

（第 6 実施の形態）

この実施の形態の半導体記憶装置は、図 17 に示すように、第 2 実施の形態において、N 型のソース／ドレイン領域 112、113 のチャネル側に隣接して、P 型高濃度領域 191 を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型の不純物（例えばボロン）濃度が、領域192におけるP型の不純物濃度よりも高い。このP型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、拡散層領域112、113と半導体基板111との接合が、電荷保持部161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、図17において、ソース/ドレイン領域近傍であって電荷保持部161、162の下側の位置（すなわち、ゲート電極の直下ではない位置）に、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下にある場合に比べて著しく大きい。電荷保持部161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、電荷保持部に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191を、電荷保持部161、162の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込時と消去時での閾値の差）を著しく増大させることができる。

（第7実施の形態）

この実施の形態の半導体記憶装置は、図18に示すように、第2実施の形態に

において、電荷保持膜（シリコン窒化膜 1 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 の厚さ T_1 が、ゲート絶縁膜 1 1 4 の厚さ T_2 よりも薄いこと以外は、実質的に同様の構成を有する。

5 ゲート絶縁膜 1 1 4 は、メモリの書換え動作時における耐圧の要請から、その厚さ T_2 には下限値が存在する。しかし、電荷保持膜（シリコン窒化膜 1 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 の厚さ T_1 は、耐圧の要請にかかわらず、 T_2 よりも薄くすることが可能である。

10 本実施の形態の半導体記憶装置において、上述のような絶縁膜の厚さ T_1 に対する設計の自由度が高いのは以下の理由による。本実施の形態の半導体記憶装置においては、電荷保持膜 1 4 2 とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 は、ゲート電極 1 1 7 とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持膜 1 4 2 とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 には、ゲート電極 1 1 7 とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極 1 1 7 から横方向に広がる比較的弱い電界が作用する。

15 そのため、ゲート絶縁膜 1 1 4 に対する耐圧の要請にかかわらず、 T_1 を T_2 より薄くすることが可能になるのである。一方、例えば、フラッシュメモリに代表される E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。

20 それゆえ、E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害されるのである。以上より明らかなように、本実施の形態のメモリ素子において電荷保持膜 1 4 2 とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 が、ゲート電極 1 1 7 とチャネル領域又はウェル領域とに挟まれていないことが、 T_1 の自由度を高くする本質的な理由となっている。

25

上記絶縁膜の厚み T_1 を薄くすることにより、電荷保持部 1 6 1, 1 6 2 への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜 1 4 2 に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増

えるため、メモリ効果を増大させることができる。

ところで、電荷保持部中での電気力線は、図14の矢印184で示すように、シリコン窒化膜142を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時には大きな役割を果たしている。絶縁膜141の厚み T_1 を薄くすることにより、シリコン窒化膜142が図14の下側に移動し、矢印184で示す電気力線がシリコン窒化膜142を通過するようになる。それゆえ、電気力線184に沿った電荷保持部中の実効的な比誘電率が大きくなり、電気力線184の両端での電位差をより小さくすることができる。したがって、ゲート電極117に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

以上より明らかなように、チャネル領域又はウェル領域とを隔てる絶縁膜141の厚さ T_1 と、ゲート絶縁膜114の厚さ T_2 とについて、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であって、保持特性が極端に劣化しない限界である0.8 nm以上であることが、より好ましい。

具体的には、デザインルールが大きくて高耐圧が必要とされる液晶ドライバーLSIにおける場合、液晶パネルTF-Tを駆動するために、最大15～18 Vの電圧が必要となる。このため、ゲート酸化膜を薄膜化することができない。前記液晶ドライバーLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250 nmのメモリセルに対して、 $T_1 = 20$ nm、 $T_2 = 10$ nmで個別に設定でき、書込み効率の良いメモリセルを実現できている。（ T_1 が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領

域がオフセットしているためである)。

(第8実施の形態)

この実施の形態の半導体記憶装置は、図19に示すように、第2実施の形態において、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜141の厚さ T_1 が、ゲート絶縁膜114の厚さ T_2 よりも厚い
5 こと以外は、実質的に同様の構成を有する。

ゲート絶縁膜114は、素子の短チャネル効果防止の要請から、その厚さ T_2 には上限値が存在する。しかし、上記電荷保持膜142下側の絶縁膜141の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが
10 可能である。すなわち、微細化スケールリングが進んだとき(ゲート絶縁膜114の薄膜化が進行したとき)にゲート絶縁膜厚 T_2 とは独立して、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜141の厚さを最適に設計できるため、電荷保持部がスケールリングの障害にならないという効果を奏する。

本実施の形態の半導体記憶装置において、上述のように絶縁膜141の厚さ T_1 に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜142とチャネル領域又はウェル領域とを隔てる絶縁膜141が、ゲート電極117とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜114に対する短チャネル効果防止の要請にかかわらず、 T_1 を T_2 より厚く
15 することが可能になるのである。

上記絶縁膜141の厚さ T_1 を厚くすることにより、上記電荷保持部142に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。
25

なお、上記絶縁膜141の厚さ T_1 は、書換え速度の低下を考慮して、20nm以下であることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、前記書込み消去ゲート電極に対応す

るゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors：国際半導体技術ロードマップ）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。本発明の半導体記憶装置では、上述したようにT1とT2を個別に設計できることにより、微細化が可能となる。例えば、本発明では、ゲート電極長（ワード線幅）45 nmのメモリセルに対して、 $T2 = 4 \text{ nm}$ 、 $T1 = 7 \text{ nm}$ で個別に設定し、短チャネル効果の発生しない半導体記憶装置を実現した。T2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである。また、本発明の半導体記憶装置はゲート電極に対して、ソース・ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較しても更に微細化を容易にしている。

以上のように、本実施形態の半導体記憶装置によれば、電荷保持部の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用するだけである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリセルの実現が可能になるのである。

（第9実施の形態）

この実施の形態は、本発明の半導体記憶装置において、書換えを行ったときの電気特性の変化に関する。

図20は、Nチャネル型メモリ素子の電荷保持部中の電荷量が、消去状態と書込み状態との異なる状態において、ゲート電圧 V_g (V) の変化に対するドレイン電流 I_d (A) の変化を曲線で示した図であり、横軸がゲート電圧 V_g (V)

であり、縦軸がドレイン電流 I_d (A) である。図 20 から明らかなように、消去状態 (実線) から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 (V_g) が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなっている。例えば、 $V_g = 2.5$ V においても、電流比は 2 桁以上を保っている。この特性は、図 21 で示すフラッシュメモリの場合と大きく異なる。図 21 は、フラッシュメモリについて、図 20 と同様に、消去状態と書込み状態とにおいて、ゲート電圧 V_g (V) の変化に対するドレイン電流 I_d (A) の変化を曲線で示した図である。

本実施の形態の半導体記憶装置における上記の特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。半導体記憶装置が書込み状態にあるときには、ゲート電極に正電圧を加えても電荷保持部下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。一方、半導体記憶装置が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。なおかつ、ゲート電極に 0 V が印加されているとき (すなわちオフ状態にあるとき) は、ゲート電極下のチャネルには電子が誘起されない (そのためオフ電流が小さい)。これが、消去状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率 (コンダクタンス) が大きい原因となっている。

以上のことから明らかなように、本発明の半導体記憶装置は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

請求の範囲

1. 第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜と、

5 上記第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜上に形成されたゲート絶縁膜(12, 114)と、

上記ゲート絶縁膜(12, 114)上に形成された単一のゲート電極(13, 117)と、

10 上記単一のゲート電極(13, 117)側壁の両側に形成された2つの電荷保持部(61, 62, 161, 162, 162a)と、

上記単一のゲート電極(13, 117)下に配置されたチャネル領域と、

上記チャネル領域の両側に配置された第2導電型拡散層領域(17, 18, 112, 113)とを備え、

15 上記電荷保持部(61, 62, 161, 162, 162a)は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極(13, 117)に電圧を印加した際の一方の上記第2導電型拡散層領域(17, 18, 112, 113)と他方の上記第2導電型拡散層領域(17, 18, 112, 113)との間に流れる電流量を変化させるように構成されてなり、

20 上記他方の第2導電型拡散層領域(17, 18, 112, 113)を基準電圧とし、

上記一方の第2導電型拡散層領域(17, 18, 112, 113)を第1電圧とし、

25 上記ゲート電極(13, 117)を第2電圧とすることにより、キャリアを上記一方の第2導電型拡散層領域側に存する電荷保持部(61, 62, 161, 162, 162a)に注入することを特徴とする半導体記憶装置。

2. 請求項1に記載の半導体記憶装置において、

上記第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜を、上記第1電

圧とすることを特徴とする半導体記憶装置。

3. 請求項1又は2に記載の半導体記憶装置において、

上記第1導電型は、P型であり、

上記第2導電型は、N型であり、

5 上記キャリアは、正孔であり、

上記第1電圧は、上記基準電圧より高い電圧であり、

上記第2電圧は、上記基準電圧より低い電圧であることを特徴とする半導体記憶装置。

4. 請求項1又は2に記載の半導体記憶装置において、

10 上記第1導電型は、N型であり、

上記第2導電型は、P型であり、

上記キャリアは、電子であり、

上記第1電圧は、上記基準電圧より低い電圧であり、

15 上記第2電圧は、上記基準電圧より高い電圧であることを特徴とする半導体記憶装置。

5. 請求項1に記載の半導体記憶装置において、

上記第2導電型拡散層領域(17, 18, 112, 113)は、上記ゲート絶縁膜(12, 114)を介して上記ゲート電極(13, 117)とオーバーラップ領域を持たないオフセット構造を有していることを特徴とする半導体記憶装置。

20 6. 請求項2に記載の半導体記憶装置において、

上記他方の第2導電型拡散層領域(17, 18, 112, 113)と、上記第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間の電圧差の絶対値は、0.7V以上であって1V以下であることを特徴とする半導体記憶装置。

25 7. 請求項2に記載の半導体記憶装置において、

上記ゲート電極(13, 117)のゲート長は、0.015 μ m以上であって0.5 μ m以下であることを特徴とする半導体記憶装置。

8. 請求項1に記載の半導体記憶装置において、

上記電荷保持部(61, 62, 161, 162, 162a)は、第1の絶縁体、

第2の絶縁体、第3の絶縁体からなり、

上記電荷保持部（61, 62, 161, 162, 162a）は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜（15, 142, 142a）が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、

5 上記第1の絶縁体はシリコン窒化物であり、

上記第2及び第3の絶縁体はシリコン酸化物であることを特徴とする半導体記憶装置。

9. 請求項8に記載の半導体記憶装置において、

10 上記チャネル領域上における上記第2の絶縁体からなる膜（141）の厚さが、
上記ゲート絶縁膜（114）の厚さよりも薄く、かつ、0.8nm以上であることを特徴とする半導体記憶装置。

10. 請求項8に記載の半導体記憶装置において、

15 上記チャネル領域上における上記第2の絶縁体からなる膜（141）の厚さが、
上記ゲート絶縁膜（114）の厚さよりも厚く、かつ、20nm以下であることを特徴とする半導体記憶装置。

11. 請求項8に記載の半導体記憶装置において、

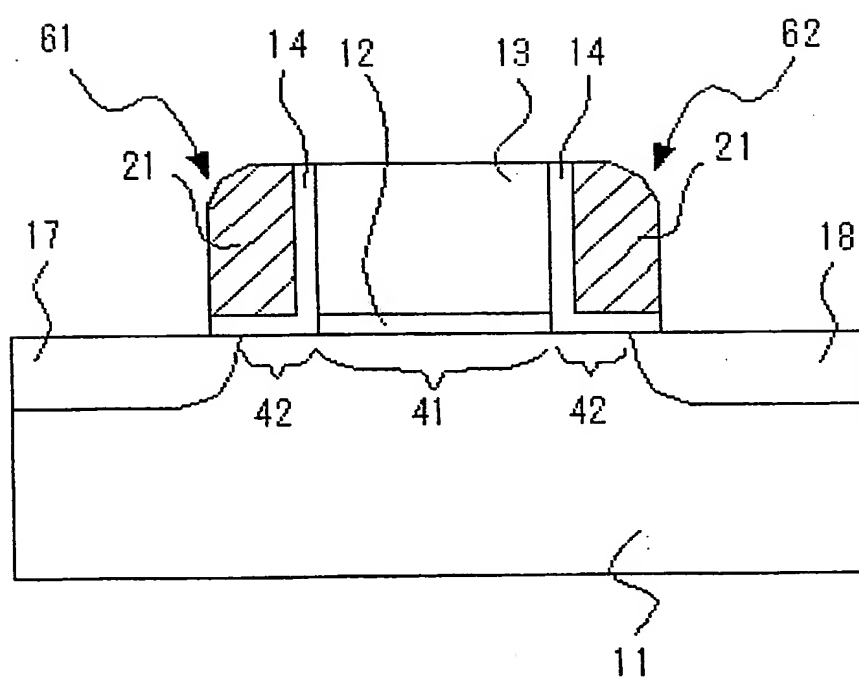
上記電荷を蓄積する機能を有する第1の絶縁体からなる膜（142, 142a）が、上記ゲート絶縁膜（114）の表面と略平行な表面を有する部分（181）を含むことを特徴とする半導体記憶装置。

20 12. 請求項11に記載の半導体記憶装置において、

上記電荷を蓄積する機能を有する第1の絶縁体からなる膜（142, 142a）が、上記ゲート電極（117）の側面と略並行に延びた部分（182）を含むことを特徴とする半導体記憶装置。

13. 請求項1に記載の半導体記憶装置において、

25 上記電荷保持部（61, 62, 161, 162, 162a）の少なくとも一部が上記第2導電型拡散層領域（17, 18, 112, 113）の一部にオーバーラップするように形成されてなることを特徴とする半導体記憶装置。

Fig. 1

2/22

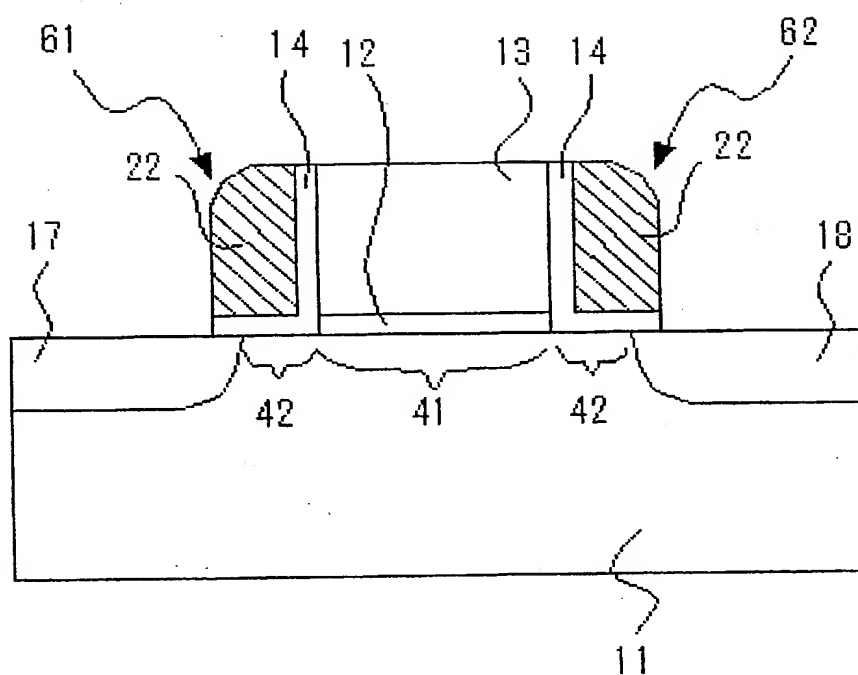
Fig. 2

Fig. 4A

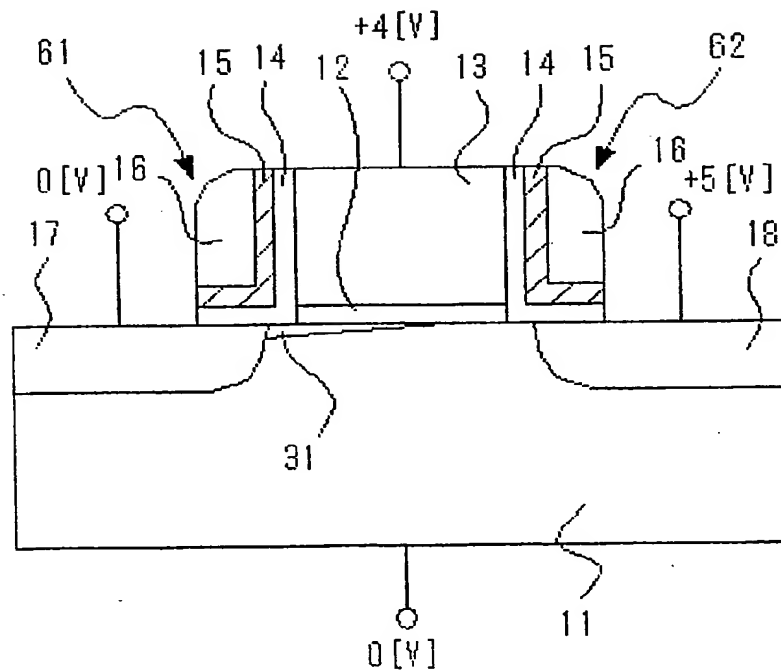
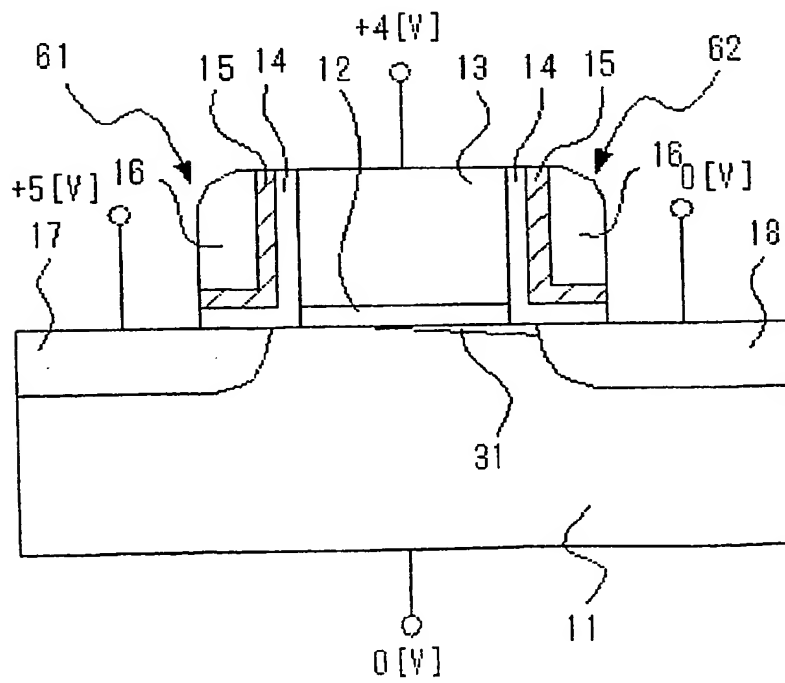


Fig. 4B



5/22

Fig. 5

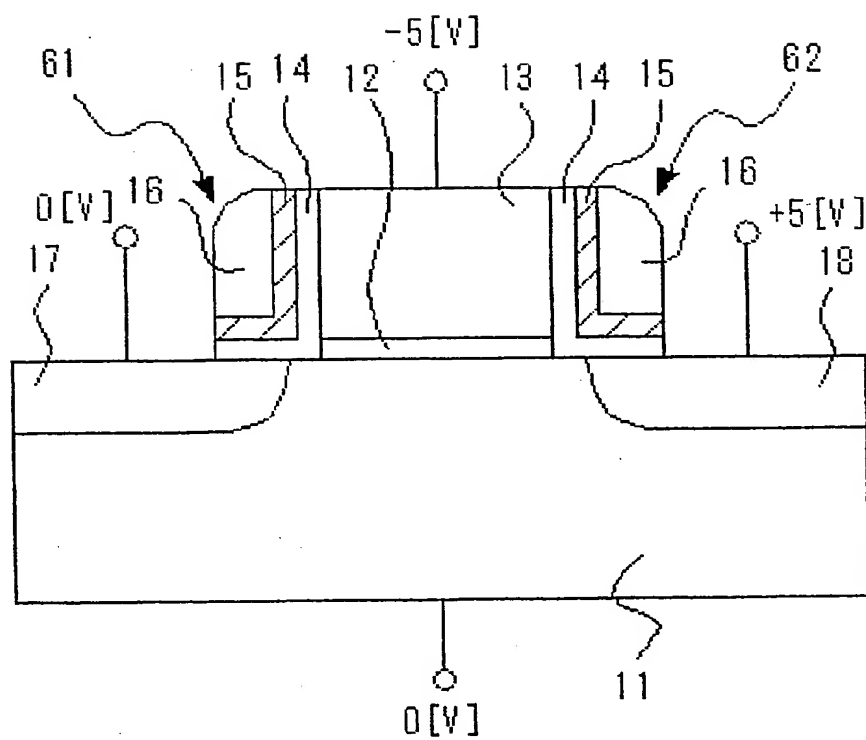
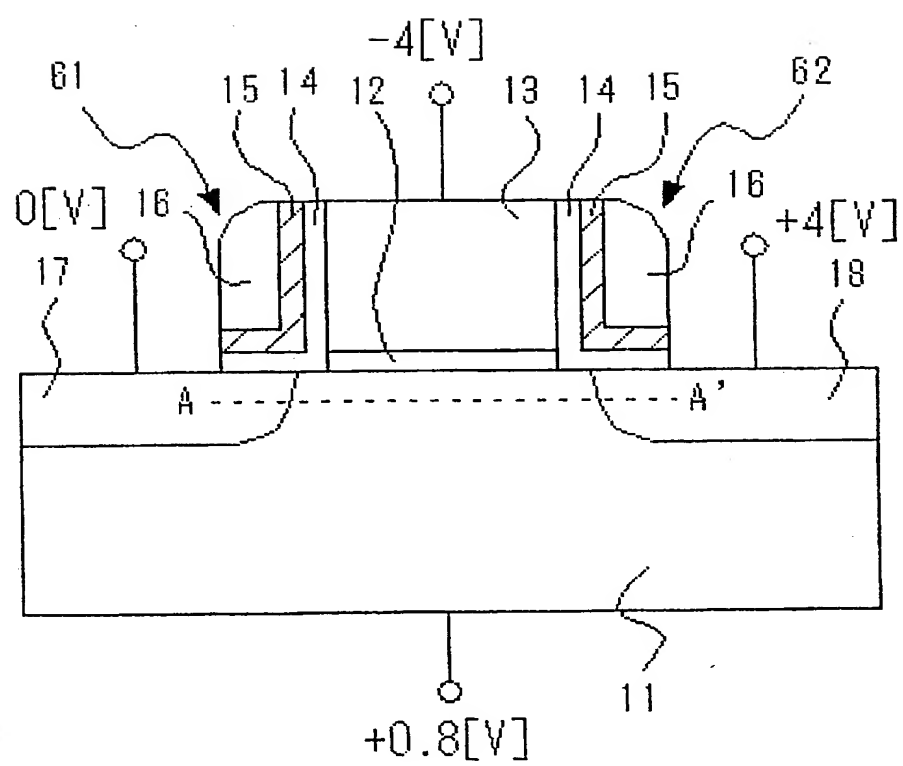
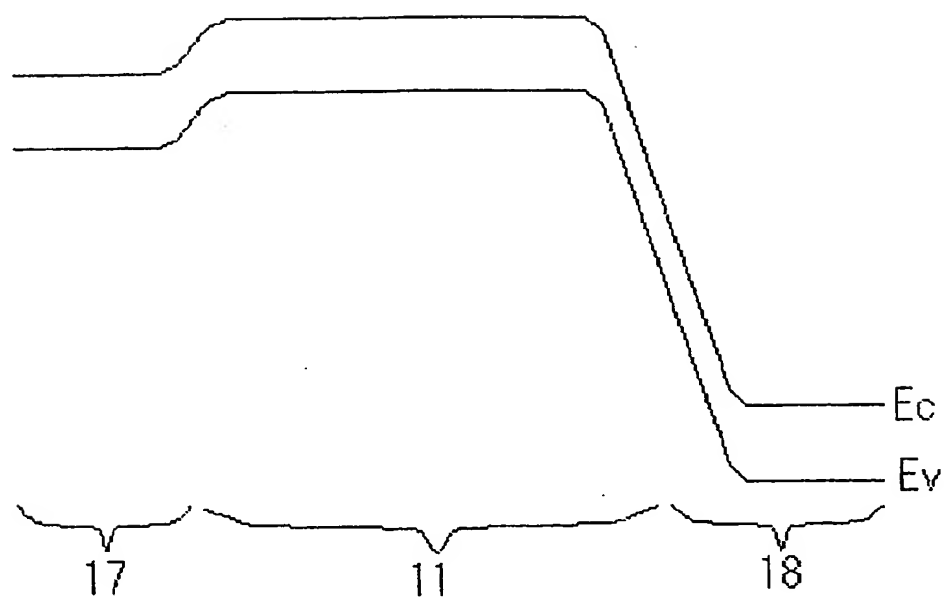
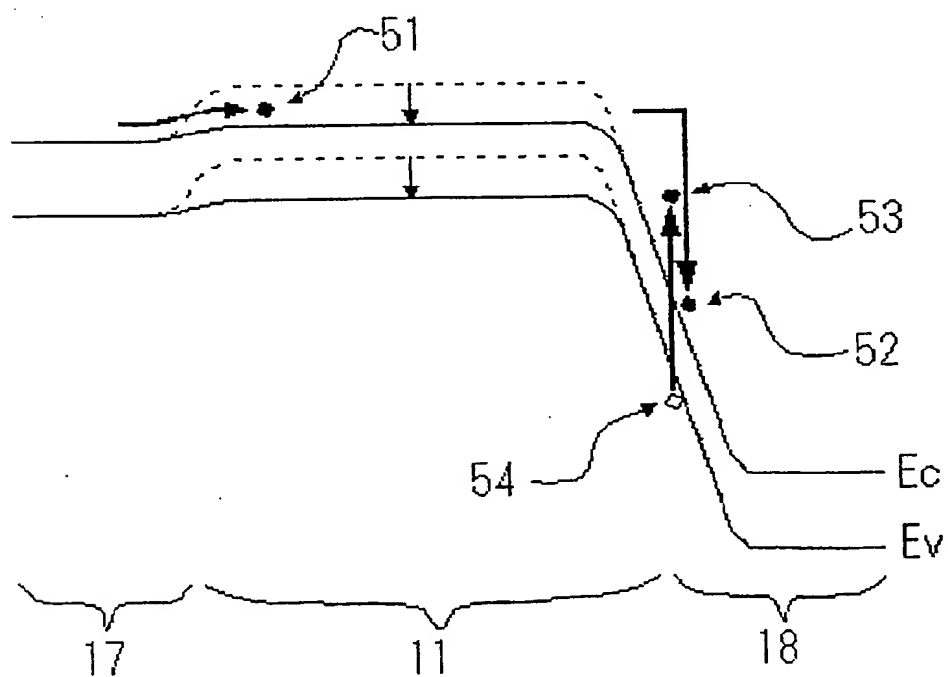


Fig. 6

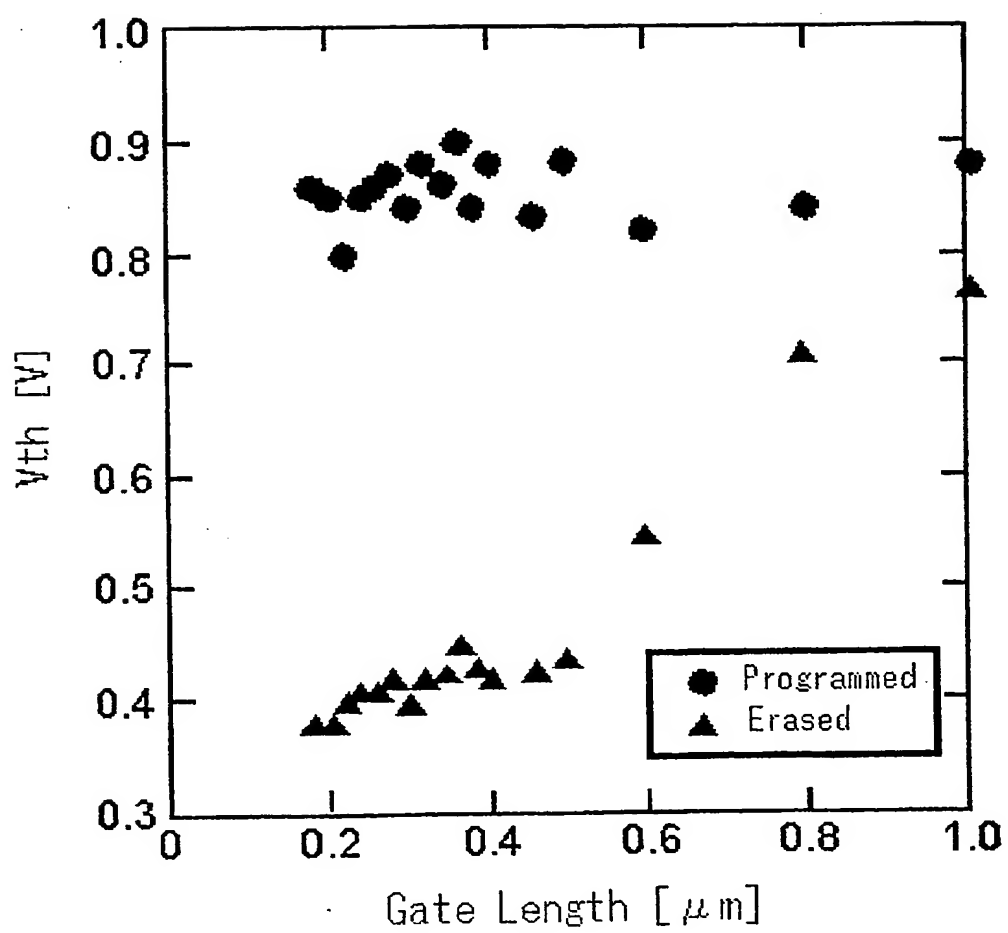


7/22

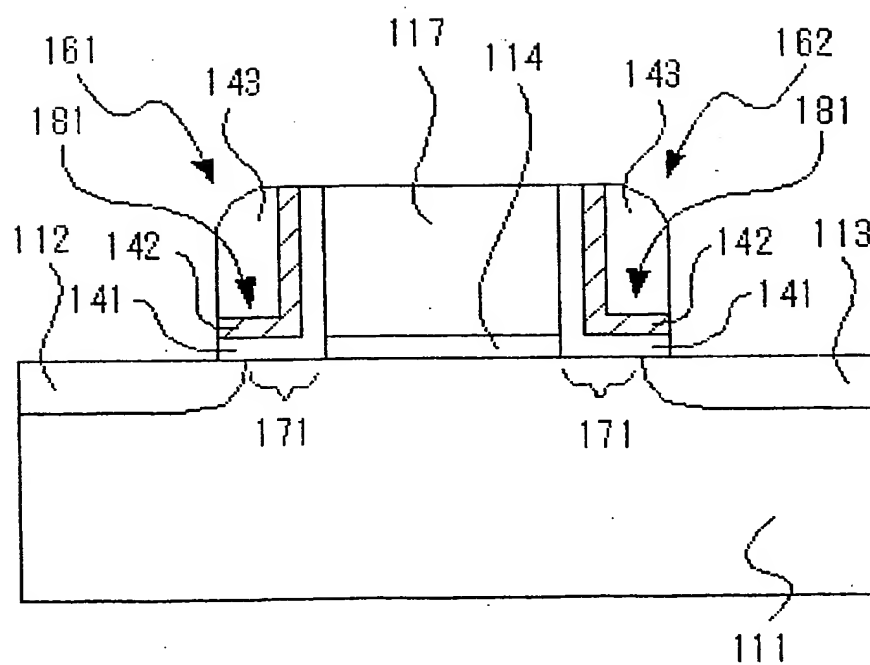
Fig. 7A*Fig. 7B*

8/22

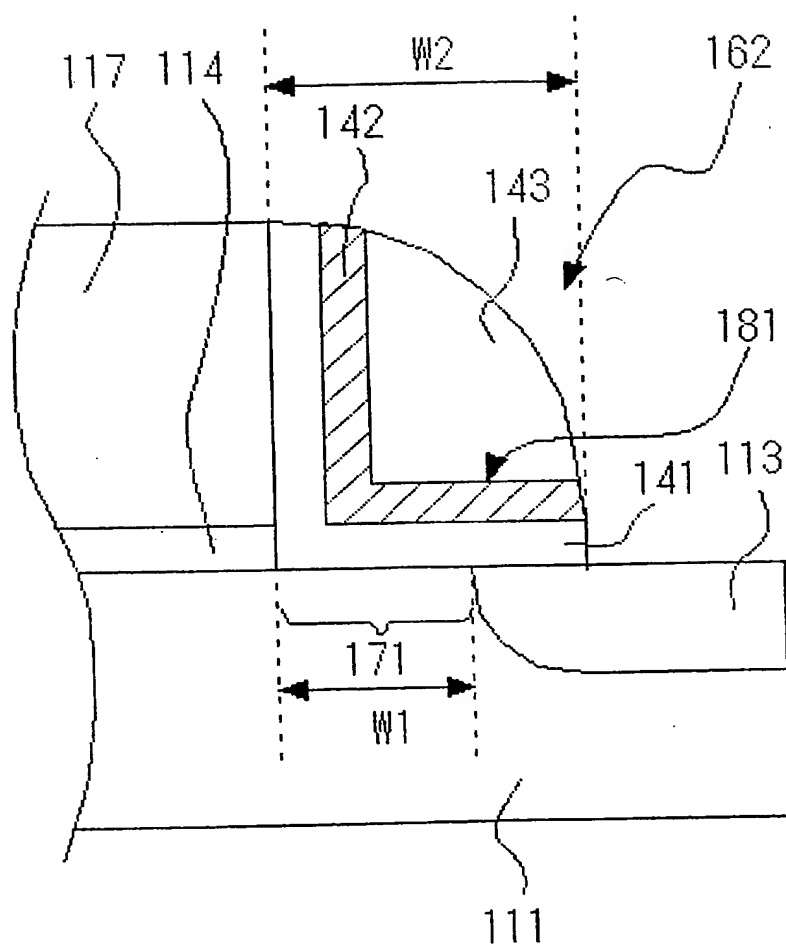
Fig. 8



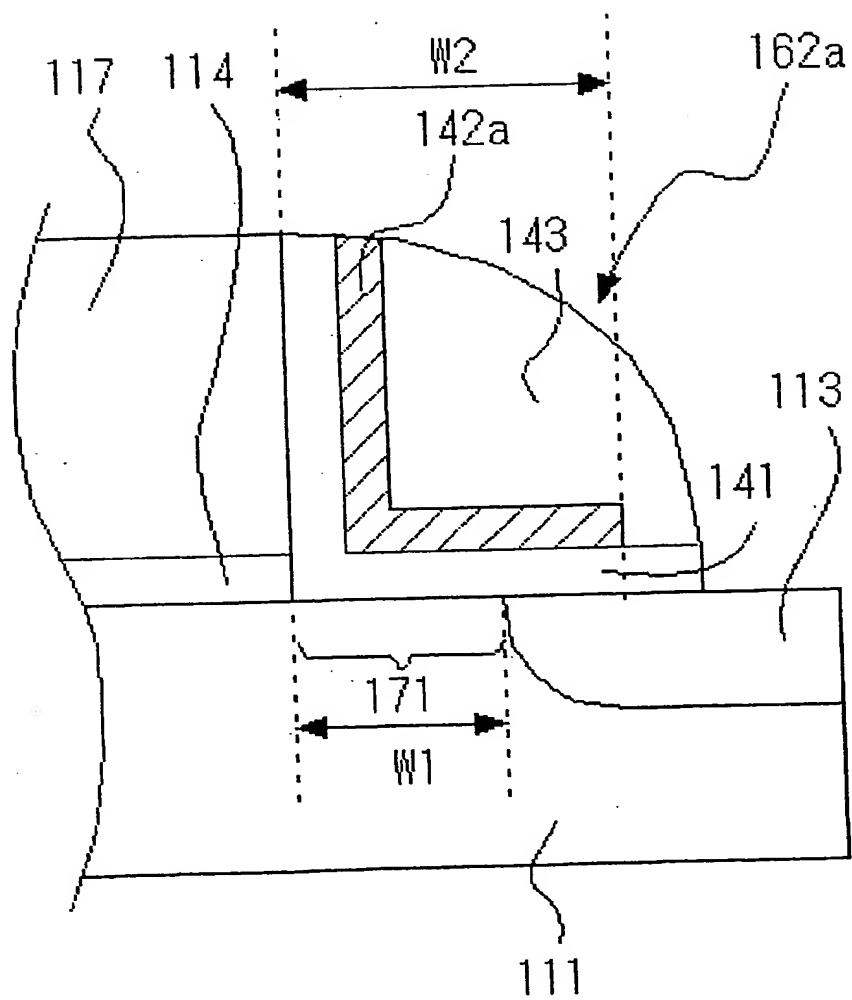
9/22

Fig. 9

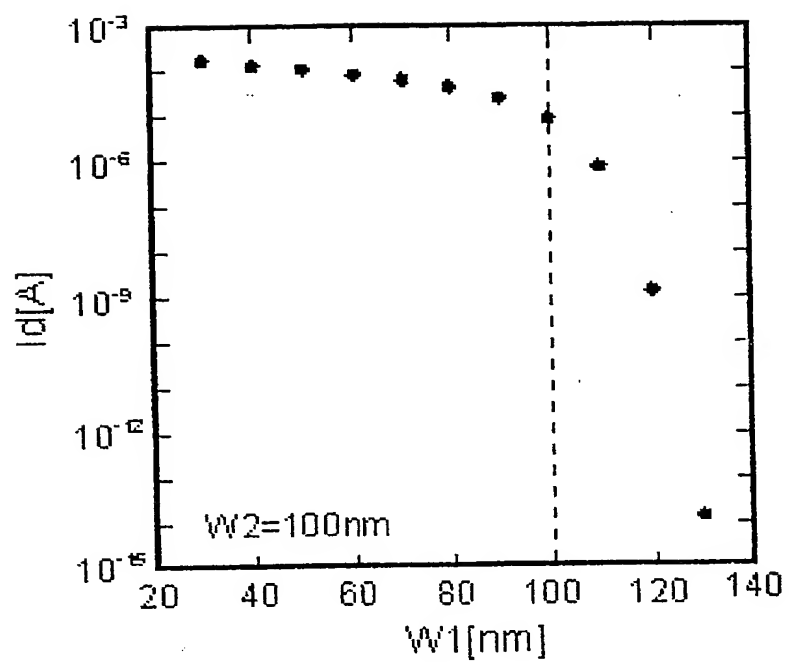
10/22

Fig. 10

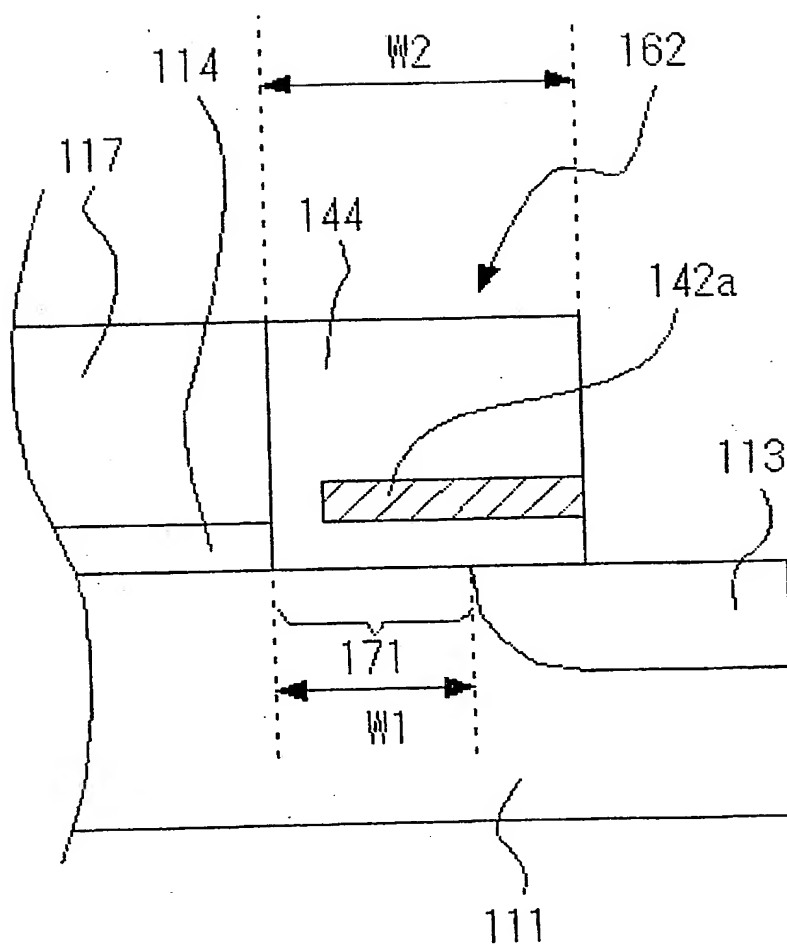
11/22

Fig. 11

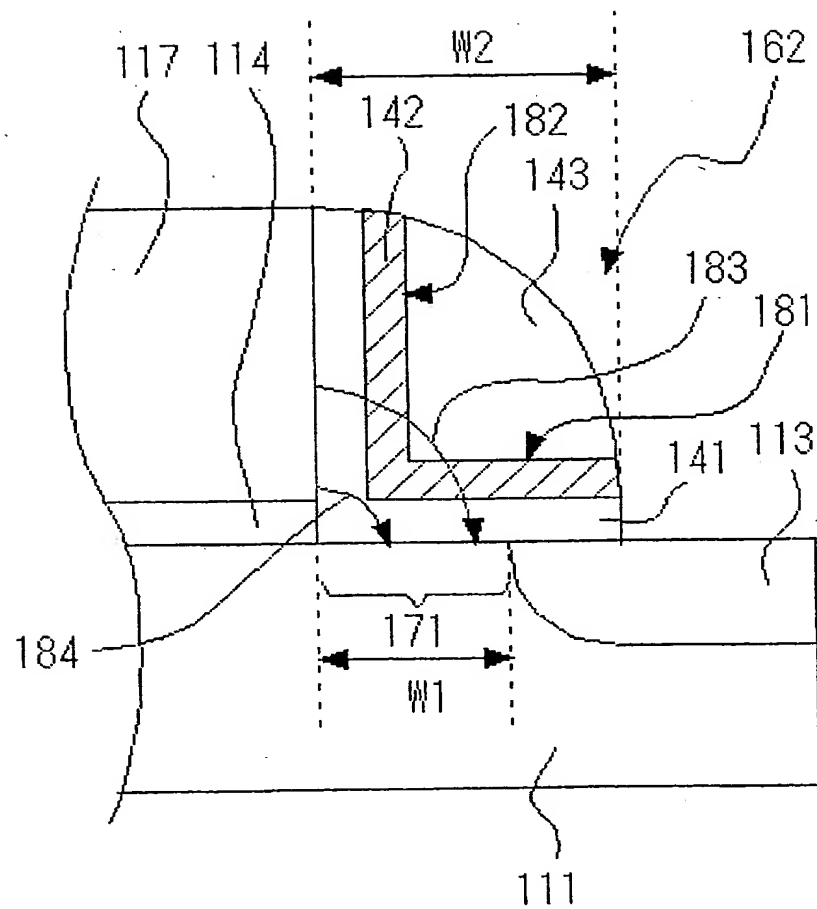
12/22

Fig. 12

13/22

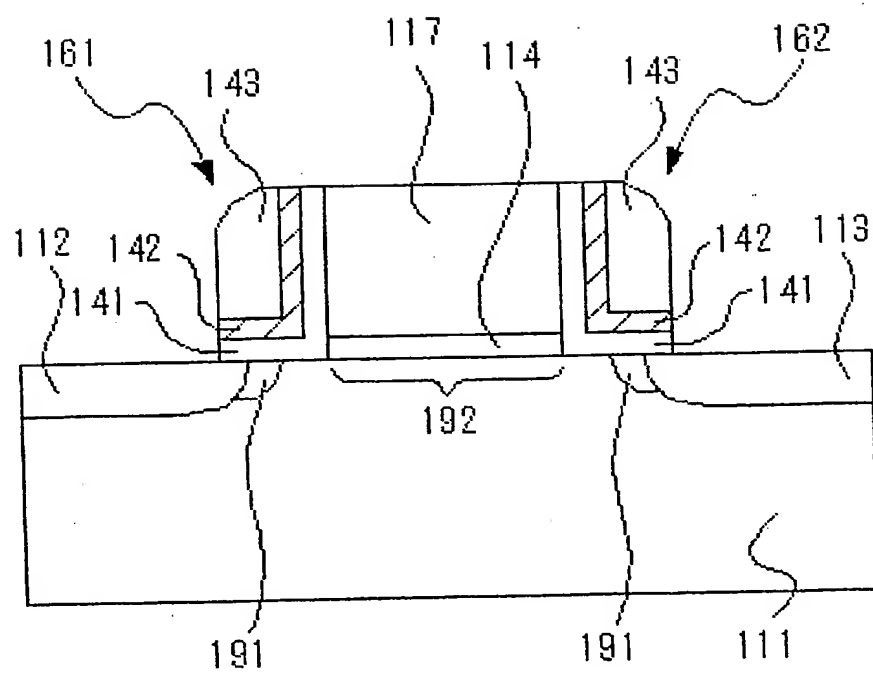
Fig. 13

14/22

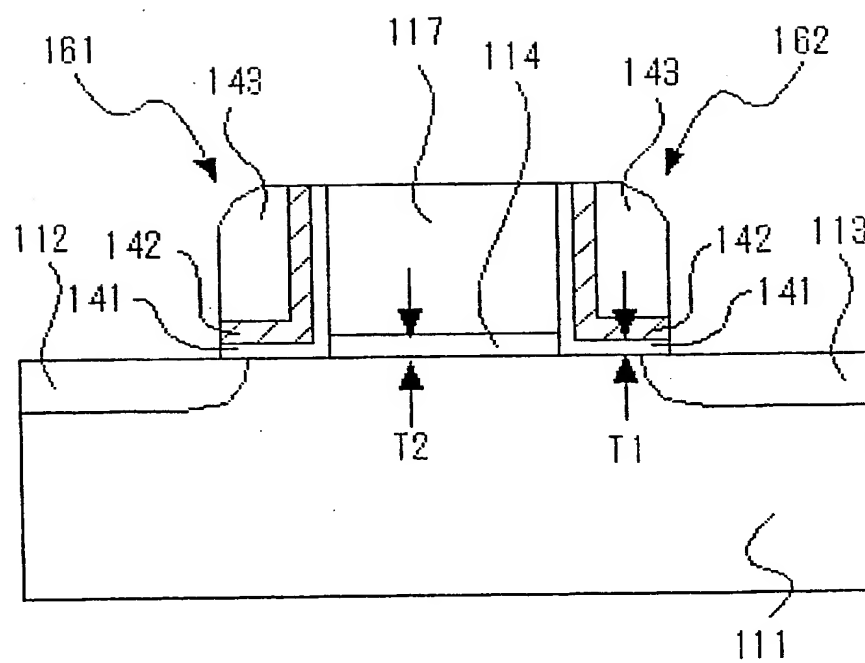
Fig. 14

17/22

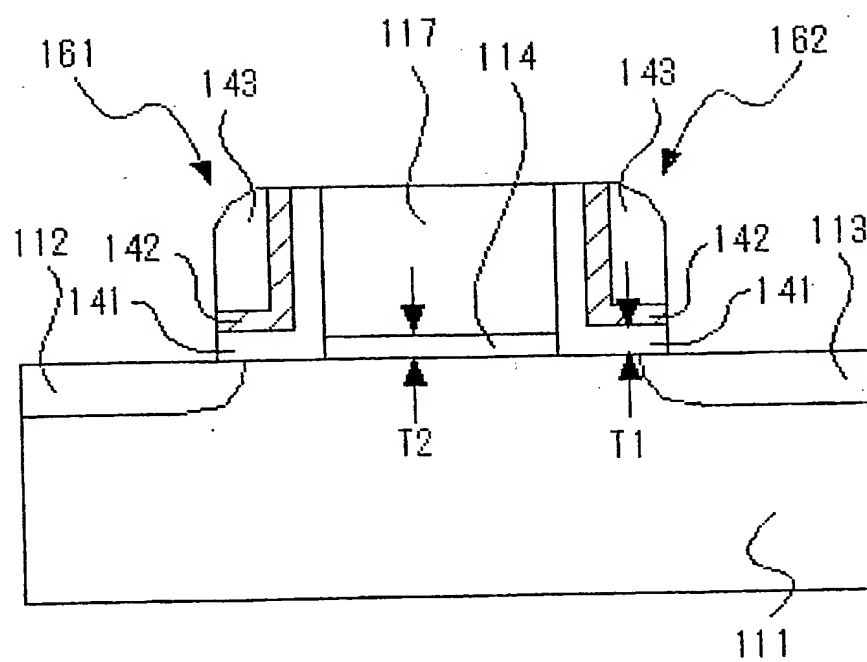
Fig. 17



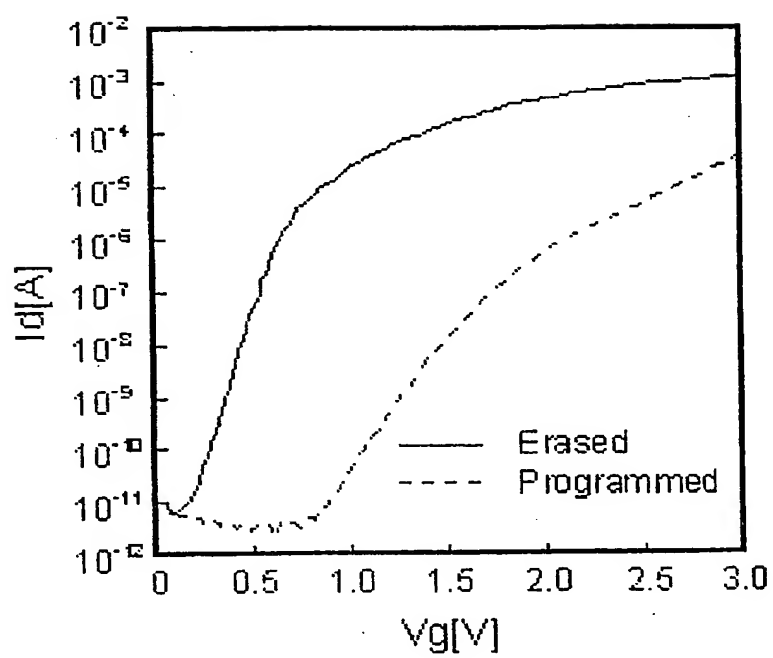
18/22

Fig. 18

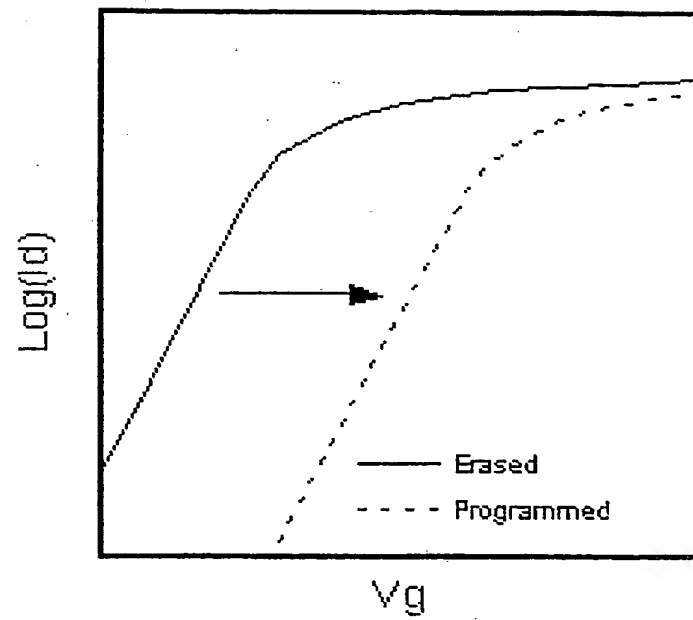
19/22

Fig. 19

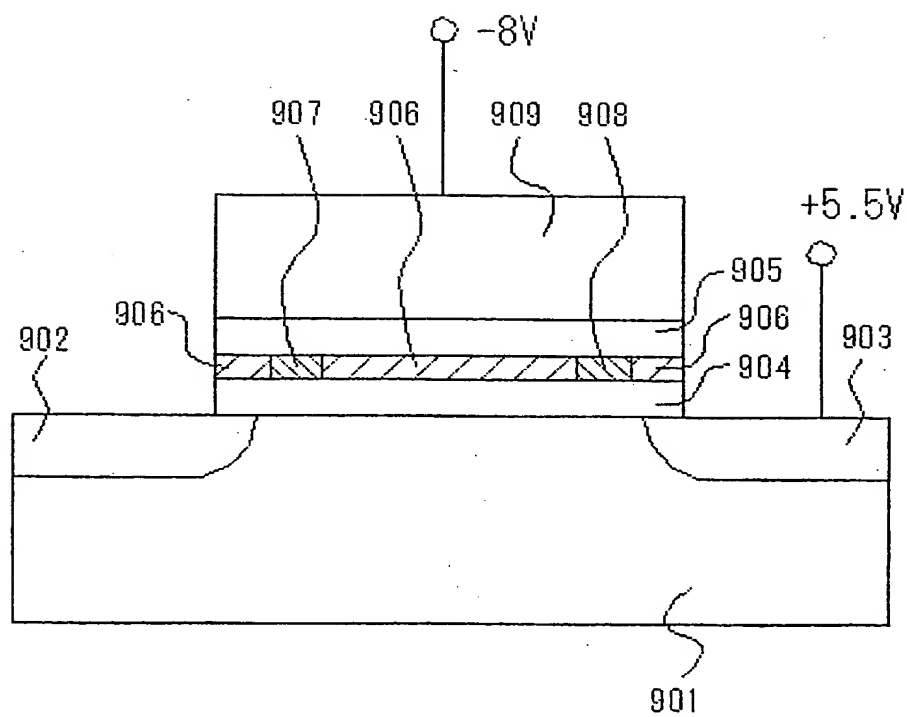
20/22

Fig. 20

21/22

Fig. 21

22/22

Fig. 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02420

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/8247, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA), 01 January, 2002 (01.01.02), Par. Nos. [0006] to [0008]; Figs. 1 to 3 & JP 2001-156188 A Pages 5 to 7; Figs. 1 to 9	1-5, 7-9, 11-13 10
X Y	JP 63-204770 A (Oki Electric Industry Co., Ltd.), 24 August, 1988 (24.08.88) Full text; Figs. 1, 2 (Family: none)	1, 2, 7, 8, 13 10
X	US 4881108 A (KABUSHIKI KAISHA TOSHIBA), 14 November, 1989 (14.11.89), Figs. 1 to 6 & JP 63-237580 A Full text; Figs. 1 to 6	1-5, 7, 8, 11-13

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 May, 2003 (13.05.03)	Date of mailing of the international search report 27 May, 2003 (27.05.03)
--------------------------------------------------------------------------------------	-------------------------------------------------------------------------------

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02420

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5838041 A (KABUSHIKI KAISHA TOSHIBA), 17 November, 1998 (17.11.98), Full text; Figs. 1 to 17 & JP 9-97849 A Full text; Figs. 1 to 17	1-5, 7, 8, 11-13
Y	US 6329247 B1 (NEC CORP.), 11 December, 2001 (11.12.01), Full text; all drawings & JP 2001-44395 A Full text; all drawings	10
Y	US 6316317 B1 (NEC CORP.), 13 November, 2001 (13.11.01), Full text; all drawings & JP 2000-269361 A Full text; all drawings	10
P,X	JP 2002-164446 A (Sony Corp.), 07 June, 2002 (07.06.02), Pages 13 to 17; Figs. 1 to 7 (Family: none)	1-5, 7-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. H01L29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. H01L21/8247, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA) 2002.01.01, 第6-8欄, 第1-3図 & JP 2001-156188 A, 第5-7頁, 第1-9図	1-5, 7-9, 11-13 10
Y		
X	JP 63-204770 A (沖電気工業株式会社) 1988.08.24, 全文, 第1、2図 (ファミリーなし)	1, 2, 7, 8, 13 10
Y		

☒ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13.05.03

国際調査報告の発送日

27.05.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

3238

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 4881108 A (KABUSHIKI KAISHA TOSHIBA) 1989. 11. 14, 全文, 第1-6図 & JP 63-237580 A, 全文, 第1-6図	1-5, 7, 8, 11-13
X	US 5838041 A (KABUSHIKI KAISHA TOSHIBA) 1998. 11. 17, 全文, 第1-17図 & JP 9-97849 A, 全文, 第1-17図	1-5, 7, 8, 11-13
Y	US 6329247 B1 (NEC CORPORATIO N) 2001. 12. 11, 全文, 全図 & JP 2001- 44395 A, 全文, 全図	10
Y	US 6316317 B1 (NEC CORPORATIO N) 2001. 11. 13, 全文, 全図 & JP 2000- 269361 A, 全文, 全図	10
PX	JP 2002-164446 A (ソニー株式会社) 200 2. 06. 07, 第13-17頁, 第1-7図 (ファミリーなし)	1-5, 7-13

SEMICONDUCTOR STORAGE DEVICE

TECHNICAL FIELD

The present invention relates to an operation
5 method of a semiconductor storage device. More
specifically, the present invention relates to a
semiconductor storage device composed of a field-effect
transistor having a function to convert changes of an
electric charge amount to a current amount.

10

BACKGROUND ART

Conventionally, as a nonvolatile memory capable
of storing two bits by one field-effect transistor, there
has been a memory developed by Saifun Semiconductors Ltd.
15 (refer to Kohyo (Japanese Unexamined Patent Publication)
No. 2001-512290 for example). The structure of this prior
art memory and the principle of its erase operation will be
described hereinbelow.

As shown in Fig. 9, this memory is composed of a
20 gate electrode 909 formed on a P type well region 901
through a gate insulating film, and a first N type
diffusion layer region 902 and a second N type diffusion
layer region 903 formed on the surface of the P type well
region 901. The gate insulating film is composed of so-
25 called ONO (Oxide Nitride Oxide) film in which a silicon

nitride film 906 is interposed between silicon oxide films 904 and 905. In the silicon nitride film 906, there are formed memory holding portions 907, 908 in the vicinity of the edge portions of the first and second N type diffusion layer regions 902, 903.

An amount of electric charges in each of these memory holding portions 907, 908 is read as a drain current of a transistor so that two-bit information is stored in one transistor.

Next description will be given of an erase operation method in this memory. The term "erase" is used herein to refer to the action of releasing electrons stored in the memory holding portions 907, 908. In Kohyo (Japanese Unexamined Patent Publication) No. 2001-512290, there has been disclosed a method for releasing electrons stored in a right memory holding portion 908 by applying 5.5V to the second diffusion layer region 903 and -8V to the gate electrode 909, and extracting electrons toward the drain electrode. This makes it possible to erase memory of a specific side among two memory holding portions. There has been also disclosed a method for writing onto and reading from a specific side. By combining these methods, two-bit operation is enabled.

However, in the above-stated memory, in order to provide the gate insulating film with the function of

operating the transistor as well as the function as a
memory film for storing electric charges, the gate
insulating film is formed into three-layer structure with
use of ONO film. This makes it difficult to manufacture
5 thinner gate insulating films. Also, as the channel length
is shortened, these two memory holding portions 907, 908 in
one transistor interfere with each other, which makes two-
bit operation difficult. This obstacles further
miniaturization of the devices.

10

DISCLOSURE OF THE INVENTION

In view of the above problems, it is an object of
the present invention to provide a semiconductor storage
device allowing further miniaturization while fulfilling
15 two-bit memory holding in one transistor.

15

In order to solve the above problems, a
semiconductor storage device in a first aspect of the
present invention comprises a first conductivity type
semiconductor substrate, a first conductivity type well
20 region provided in a semiconductor substrate, or a first
conductivity type semiconductor film disposed on an
insulator;

20

a gate insulating film formed on the first
conductivity type semiconductor substrate, the first
25 conductivity type well region provided in the semiconductor

25

substrate, or the first conductivity type semiconductor film disposed on the insulator;

a single gate electrode formed on the gate insulating film;

5 two charge holding portions formed on sides of side walls of the single gate electrode;

a channel region disposed under the single gate electrode; and

10 second conductivity type diffusion layer regions disposed on both sides of the channel region, wherein

the charge holding portions are structured so as to change a current amount flowing between one of the second conductivity type diffusion layer regions and the other of the second conductivity type diffusion layer regions when voltage is applied to the gate electrode by an amount of electric charges stored in the charge holding portions, wherein

a reference voltage is applied to the other of the second conductivity type diffusion layer regions,

20 a first voltage is applied to the one of the second conductivity type diffusion layer regions, and

a second voltage is applied to the gate electrode such that carriers are injected into the charge holding portion existing on the side of the one of the second conductivity type diffusion layer regions.

25

According to the above structure, the two charge holding portions formed on the both sides of the side wall of the gate electrode are independent of the gate insulating film, so that the memory function implemented by the charge holding portions and the transistor operation function implemented by the gate electrode are separated. Eventually, it is easy to make the gate insulating film thinner and control short channel effect while maintaining sufficient memory function. Also, the two charge holding portions formed on the both sides of the gate electrode are separated by the gate electrode, which enables effective restraint of interference in rewrite operation. In other words, a distance between these two charge holding portions may be shortened.

Further, by appropriately setting the voltage of the gate electrode, the voltage of the one of the second conductivity type diffusion layer regions, and the voltage of the other of the second conductivity type diffusion layer regions, it becomes possible to selectively injecting carriers to the charge holding portion on the side of the one of the second conductivity type diffusion layer regions. This makes it possible to provide a semiconductor storage device enabling two-bit operation and facilitating miniaturization.

Herein, when the first conductivity type is P type, the second conductivity type is N type, and the carriers are positive holes. Contrary to this, when the first conductivity type is N type, the second conductivity type is P type, and the carriers are electrons. Also, when the first voltage is higher than the reference voltage, the second voltage is lower than the reference voltage. When the first voltage is lower than the reference voltage, the second voltage is higher than the reference voltage.

In one embodiment, the first voltage is applied to the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate, or the first conductivity type semiconductor film disposed on the insulator.

According to the semiconductor storage device in the present embodiment, forward-direction voltage is applied to a PN junction between the other of the second conductivity type diffusion layer regions, and, the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate, or the first conductivity type semiconductor film disposed on the insulator. As a result, either ones of electrons and positive holes are injected into the semiconductor substrate. The injected electrons or positive holes are accelerated and diffused in the PN

junction between the other of the second conductivity type diffusion layer regions, and, the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate, or the first conductivity type semiconductor film disposed on the insulator, as a result of which pairs of an electron and a positive hole are generated. The others among thus-generated electrons or positive holes are selectively injected as carriers into the charge holding portion existing on the side of the other of the second conductivity type diffusion layer regions. This process also occurs in the case where voltage difference between the other of the second conductivity type diffusion layer regions and the semiconductor substrate is relatively low, which makes it possible to lower the operating voltage of the semiconductor storage device. Therefore, it becomes possible to achieve lower consumption power and the control of device deterioration of the semiconductor storage device.

In one embodiment, the first conductivity type is P type,
the second conductivity type is N type,
the carriers are positive holes,
the first voltage is higher than the reference voltage, and

the second voltage is lower than the reference voltage.

According to the above embodiment, the voltage of the one of the N type diffusion layer regions is set higher than the reference voltage, and the voltage of the gate electrode is set lower than the reference voltage so as to enable selective injection of positive holes into the charge holding portion on the side of the one of the N type diffusion layer regions.

Also, the voltage of the P type semiconductor substrate, the P type well region provided in the semiconductor substrate, or the P type semiconductor film disposed on the insulator is set higher than the reference voltage, so that forward-direction voltage is applied to the PN junction between the P type semiconductor substrate, the P type well region provided in the semiconductor substrate, or the P type semiconductor film disposed on the insulator, and, the other of the N type diffusion layer regions, by which electrons are injected into the semiconductor substrate. The injected electrons are accelerated and diffused in the PN junction between the one of the N type diffusion layer regions, and, the P type semiconductor substrate, the P type well region provided in the semiconductor substrate, or the P type semiconductor film disposed on the insulator, as a result of which pairs

of an electron and a positive hole are generated. The positive holes among these are selectively injected into the charge holding portion existing on the side of the one of the N type diffusion layer regions. This process also
5 occurs in the case where voltage difference between the other of the N type diffusion layer regions and the semiconductor substrate is relatively low, which makes it possible to lower the operating voltage of the semiconductor storage device. Therefore, it becomes
10 possible to achieve lower consumption power and the control of device deterioration of the semiconductor storage device.

In one embodiment, the first conductivity type is N type,
15 the second conductivity type is P type,
the carriers are electrons,
the first voltage is lower than the reference voltage, and
the second voltage is higher than the reference
20 voltage.

According to the above embodiment, the voltage of the one of the P type diffusion layer regions is set lower than the reference voltage, and the voltage of the gate electrode is set higher than the reference voltage so as to
25 enable selective injection of electrons into the charge

holding portion existing on the side of the one of the P type diffusion layer regions.

Also, the voltage of the N type semiconductor substrate, the N type well region provided in the semiconductor substrate, or the N type semiconductor film disposed on the insulator is set lower than the reference voltage, so that forward-direction voltage is applied to the PN junction between the N type semiconductor substrate, the N type well region provided in the semiconductor substrate, or the N type semiconductor film disposed on the insulator, and, the other of the P type diffusion layer regions, by which positive holes are injected into the semiconductor substrate. The injected positive holes are accelerated and diffused in the PN junction between the one of the P type diffusion layer regions, and, the N type semiconductor substrate, the N type well region provided in the semiconductor substrate, or the N type semiconductor film disposed on the insulator, as a result of which pairs of an electron and a positive hole are generated. The electrons among these are selectively injected into the charge holding portion existing on the side of the one of the P type diffusion layer regions. This process also occurs in the case where voltage difference between the other of the P type diffusion layer regions and the semiconductor substrate is relatively low, which makes it

possible to lower the operating voltage of the semiconductor storage device. Therefore, it becomes possible to achieve lower consumption power and the control of device deterioration of the semiconductor storage device.

In one embodiment, the second conductivity type diffusion layer regions have an offset structure without an overlap region overlapping the gate electrode with interposition of the gate insulating film.

According to the above embodiment, the semiconductor storage device has so-called offset transistor structure, which makes it possible to obtain large memory effect. Since the semiconductor storage device has the offset structure, due to potential of the gate electrode, an effect of promoting generation of either ones of positive holes or electrons is reduced in the PN junction between the one of the second conductivity type diffusion layer regions and the first conductivity type semiconductor substrate or the like. Contrary to this, to the PN junction between the other of the second conductivity type diffusion layer regions and the first conductivity type semiconductor substrate or the like, forward-direction voltage is applied. Eventually with relatively low voltage, in the PN junction between the one of the second conductivity type diffusion layer regions and

the first conductivity type semiconductor substrate or the like, the others among positive holes and electrons are generated as carriers to be injected into the charge holding portion existing on the side of the one of the second conductivity type diffusion layer regions. Therefore, it becomes possible to provide a semiconductor storage device having large memory effect and enabling low voltage operation.

In one embodiment, an absolute value of voltage difference between the other of the second conductivity type diffusion layer regions, and, the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate or the first conductivity type semiconductor film disposed on the insulator is 0.7V or more and 1V or less.

According to the above embodiment, there may be obtained forward-current flowing to the PN junction between the other of the second conductivity type diffusion layer regions, and, the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate, or the first conductivity type semiconductor film disposed on the insulator, that is enough for generating positive holes or electrons as carriers in the PN junction between the one of the second conductivity type diffusion layer regions, and, the first

conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate, or the first conductivity type semiconductor film disposed on the insulator. Also, the forward-
5 direction current will not cause considerable increase of current consumption in the semiconductor storage device.

Also, in one embodiment, a gate length of the gate electrode is $0.015\text{ }\mu\text{m}$ or more and $0.5\text{ }\mu\text{m}$ or less.

According to the above embodiment, in the PN
10 junction between the one of the second conductivity type diffusion layer regions and the first conductivity type semiconductor substrate or the like, positive holes and electrons are sufficiently generated, which makes it possible to inject them into the charge holding portion.
15 Also, transistor operation, that is the basics of memory operation, may be secured.

Also in one embodiment, the charge holding portion is composed of a first insulator, a second insulator, and a third insulator,

20 the charge holding portion has a structure in which a film composed of the first insulator having a function of storing electric charges is interposed between the second insulator and the third insulator,

the first insulator is silicon nitride, and

the second and third insulators are silicon oxide.

According to the above embodiment, the first insulator having a function of storing the electric charges is silicon nitride, in which a number of levels for trapping electric charges (electrons and positive holes) are present, so that large hysteresis property may be obtained. Also, since the second and third insulators are silicon oxide, the charge holding portion has so-called NON (Oxide Nitride Oxide) film structure, which increase injection efficiency of electric charges and enables high-speed rewrite operation.

Also in one embodiment, a thickness of the film composed of the second insulator on the channel region is smaller than a thickness of the gate insulating film and is 0.8 nm or more.

According to the above embodiment, the thickness of the film composed of the second insulator that separates the film composed of the first insulator having a function of storing electric charges from the channel region is smaller than the thickness of the gate insulating film and is 0.8nm or more, which enables decrease of voltage for write operation and erase operation or enables high-speed write operation and erase operation without degrading

withstanding voltage capability of the memory, thereby enabling increase of memory effect.

Also in one embodiment, a thickness of the film composed of the second insulator on the channel region is
5 larger than a thickness of the gate insulating film and is 20 nm or less.

According to the above embodiment, the thickness of the film composed of the second insulator that separates the film composed of the first insulator having a function
10 of storing electric charges from the channel region is larger than the thickness of the gate insulating film and is 20 nm or less, which enables improvement of holding characteristics without worsening short channel effect of the memory.

15 Also in one embodiment, the film composed of the first insulator having a function of storing electric charges includes a portion having a surface that is approximately parallel to a surface of the gate insulating film.

20 According to the above embodiment, it becomes possible to increase a rewrite speed while preventing deterioration of electric charge holding characteristics of the semiconductor storage device.

Also in one embodiment, the film composed of the
25 first insulator having a function of storing electric

charges includes a portion extending in direction approximately parallel to a lateral side of the gate electrode.

According to the above embodiment, the film composed of the first insulator having a function of storing electric charges includes a portion extending in direction approximately parallel to a lateral side of the gate electrode so that an electric charge amount injected into the film composed of the first insulator having a function of storing electric charges in rewrite operation is increased and high-speed write operation is enabled.

Also in one embodiment, at least part of the charge holding portion is formed so as to overlap part of the second conductivity type diffusion layer region.

According to the above embodiment, it becomes possible to increase read current of the semiconductor storage device and to restrain dispersion of the read current, thereby enabling high-speed read operation of the semiconductor storage device.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is an outlined cross sectional view showing main part of a first example of the semiconductor storage device in a first embodiment of the present invention;

Fig. 2 is an outlined cross sectional view showing main part of a second example of the semiconductor storage device in the first embodiment of the present invention;

5 Fig. 3 is an outlined cross sectional view showing main part of a third example of the semiconductor storage device in the first embodiment of the present invention;

10 Fig. 4 is an outlined cross sectional view showing main part of the semiconductor storage device of the present invention for describing write operation thereof;

15 Fig. 5 is an outlined cross sectional view showing main part of the semiconductor storage device of the present invention for describing first erase operation thereof;

20 Fig. 6 is an outlined cross sectional view showing main part of the semiconductor storage device of the present invention for describing second erase operation thereof;

Fig. 7 is an energy diagram against electrons in cross sectional line A-A' of Fig. 6;

Fig. 8 is a graph showing change of erase capability along with change of gate length in the second

erase method of the semiconductor storage device of the present invention;

Fig. 9 is an outlined cross sectional view showing main part of the semiconductor storage device in a second embodiment of the present invention;

Fig. 10 is an outlined cross sectional view showing enlarged main part of the semiconductor storage device of Fig. 9;

Fig. 11 is an outlined cross sectional view showing enlarged main part of a modified example of the semiconductor storage device of Fig. 9;

Fig. 12 is a graph showing electric characteristics of the semiconductor storage device in the second embodiment of the present invention;

Fig. 13 is an outlined cross sectional view showing main part of a modified example of the semiconductor storage device in the second embodiment of the present invention;

Fig. 14 is an outlined cross sectional view showing main part of the semiconductor storage device in a third embodiment of the present invention;

Fig. 15 is an outlined cross sectional view showing main part of the semiconductor storage device in a fourth embodiment of the present invention;

Fig. 16 is an outlined cross sectional view showing main part of the semiconductor storage device in a fifth embodiment of the present invention;

Fig. 17 is an outlined cross sectional view showing main part of the semiconductor storage device in a sixth embodiment of the present invention;

Fig. 18 is an outlined cross sectional view showing main part of the semiconductor storage device in a seventh embodiment of the present invention;

Fig. 19 is an outlined cross sectional view showing main part of the semiconductor storage device in an eighth embodiment of the present invention;

Fig. 20 is a graph showing electric characteristics of the semiconductor storage device in a ninth embodiment of the present invention;

Fig. 21 is a graph showing electric characteristics of a conventional flash memory; and

Fig. 22 is an outlined cross sectional view showing main part of a conventional semiconductor storage device.

BEST MODE FOR CARRYING OUT THE INVENTION

A semiconductor storage device of the present invention is mainly composed of a gate insulating film, a gate electrode formed on the gate insulating film, a charge

holding portion formed on the both sides of the gate electrode, source/drain regions (diffusion layer regions) disposed separately on the side of the charge holding portion opposed to the gate electrode, and a channel region
5 disposed under the gate electrode.

The semiconductor storage device functions as a memory device storing four-valued or more information by storing binary or more information in one charge holding portion. However, the semiconductor storage device
10 functions not necessarily to store four-valued or more information, but it may also functions to store, for example, binary information.

It is preferable that the semiconductor storage device of the present invention is formed on a semiconductor substrate, preferably on a first conductivity
15 type well region formed in the semiconductor substrate.

Examples of the semiconductor substrate are not particularly limited and include those for use in semiconductor apparatuses, such as substrates made from
20 elemental semiconductors including silicon and germanium, substrates made from compound semiconductors including GaAs, InGaAs and ZnSc, various substrates including SOI substrates and multilayer SOI substrates, and substrates having a semiconductor layer on a glass and plastic
25 substrate. Among these, a silicon substrate or SOI

substrate having a silicon layer formed as a surface semiconductor layer is preferable. The semiconductor substrate or the semiconductor layer may be either single crystal (e.g., single crystal obtained by epitaxial growth), multi-crystal, or amorphous, though a current amount flowing inside will change.

On the semiconductor substrate or the semiconductor layer, it is preferable that a device isolation region is formed, and it is more preferable to combine a device such as transistors, capacitors and resists, a circuit composed thereof, a semiconductor device, and an inter-layer insulating film to form a single or a multilayer structure. It is noted that the device isolation region may be formed with various device isolation films including LOCOS films, trench oxide films, and STI films. The semiconductor substrate may have either P type or N type conductivity type, and it is preferable that at least one first conductivity type (P type or N type) well region is formed on the semiconductor substrate. Acceptable impurity concentration of the semiconductor substrate and the well region is those within the known range in the art. It is noted that in the case of using SOI substrate as the semiconductor substrate, a well region may be formed in the surface semiconductor layer, and also a body region may be provided under the channel region.

Examples of the gate insulating film are not particularly limited and include those for use in typical semiconductor apparatuses, such as: insulating films including silicon oxide films and silicon nitride films; and high-dielectric films including aluminum oxide films, titanium oxide films, tantalum oxide films, hafnium oxide films, in the form of single-layer films or multi-layer films. Among these, the silicon oxide film is preferable. An appropriate thickness of the gate insulating film is, for example, approx. 1 to 20 nm, preferably 1 to 6 nm. The gate insulating film may be only formed right under the gate electrode, and may be formed to be larger (in width) than the gate electrode.

The gate electrode is formed on the gate insulating film in the form typically used in semiconductor apparatuses. Unless particularly specified in the embodiment, examples of the gate electrode are not particularly limited and therefore include such conductive films as: polysilicon; metals including copper and aluminum; high-melting metals including tungsten, titanium, and tantalum; and high-melting metals and silicide in the form of a single-layer or a multi-layer. An appropriate film thickness of the gate electrode is approx. 50 to 400nm. It is noted that under the gate electrode, a channel region is formed, though the channel region is

preferably formed not only under the gate electrode but also under the region including the gate electrode and the outside of the gate edge in longitudinal direction of the gate. Thus, in the case where there is present a channel region which is not covered with the gate electrode, the channel region is preferably covered with the gate insulating film or a later-described charge holding portion.

The charge holding portion at least includes a film or a region having a function of holding electric charges or storing and holding electric charges, or a function of trapping electric charges. Articles implementing these functions include: silicon nitride; silicon; silicate glass including impurities such as phosphorus and boron; silicon carbide; alumina; high-dielectric substances such as hafnium oxide, zirconium oxide, tantalum oxide; zinc oxide; and metals. The charge holding portion may be formed into single-layer or multi-layer structure with: for example, an insulating film containing a silicon oxide film; an insulating film containing a conductive film or a semiconductor layer inside; and an insulating film containing one or more semiconductors or semiconductor dots. Among these, the silicon oxide is preferable because it may achieve large hysteresis property by the presence of a number of levels

for trapping electric charges, and has good holding characteristics since long electric-charge holding time prevents electric charges from leaking due to generation of leakage pas, and further because it is a material normally used in LSI process.

Use of an insulating film containing inside an insulating film having a charge holding function such as silicon nitride films enables increase of reliability relating to memory holding. Since the silicon nitride film is an insulator, electric charges of the entire silicon nitride film will not be immediately lost even if part of the electric charges is leaked. Further, in the case of arraying a plurality of memory devices (semiconductor storage devices), even if the distance between the memory devices is shortened and adjacent charge holding portions come into contact with each other, information stored in each charge holding portion is not lost unlike the case where the charge holding portion is made from a conductor. Also, it becomes possible to dispose a contact plug closer to the charge holding portion, or in some cases it becomes possible to dispose the contact plug so as to overlap with the charge holding portion, which facilitates miniaturization of the memory devices.

For further increase of the reliability relating to the memory holding, an insulating film having a function

of holding electric charges is not necessarily in the film shape, and an insulator having the function of holding an electric charge is preferably present in the insulating film in a discrete manner. More specifically, it is
5 preferable that an insulator is dispersed like dots over a material having difficulty in holding electric charges, such as silicon oxide.

Also, use of an insulator film containing inside a conductive film or a conductor layer as a charge holding
10 portion enables free control of quantity of electric charges injected into the conductor or the semiconductor, thereby bringing about an effect of facilitating achieving multi level cell.

Further, using an insulator film containing one
15 or more conductors or semiconductor dots as a charge holding portion facilitates execution of write and erase due to direct tunneling of electric charges, thereby bringing about an effect of reduced power consumption.

More specifically, it is preferable that the
20 charge holding portion further contains a film having a region that obstructs escape of electric charges or a function of obstructing escape of electric charges. Those fulfilling the function of obstructing escape of electric charges include a silicon oxide.

The charge holding portion is formed on the both sides of the gate electrode directly or through an insulating film, and it is directly disposed on a semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region) through the gate insulating film or the insulating film. A charge holding film on the both sides of the gate electrode may be formed so as to cover the entire side walls of the gate electrode directly or through the insulating film, or it may be formed so as to cover part thereof. In the case of using a conductive film as the charge holding film, the charge holding film is preferably disposed through an insulating film so that the charge holding film is not brought into direct contact with a semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region) or the gate electrode. This is implemented by, for example, a multi-layer structure composed of a conductive film and an insulating film, a structure of dispersing a conductive film like dots in an insulating film, and a structure of disposing a conductive film within part of a side-wall insulating film formed on the side wall of the gate.

The charge holding portion preferably has a sandwich structure in which a film made of a first insulator for storing electric charges is interposed in

between a film made of a second insulator and a film made of a third insulator. Since the first insulator for storing electric charges is in the film shape, it becomes possible to increase electric charge concentration in the first insulator in a short period of time by injection of electric charges and also to uniform the electric charge concentration. In the case where the electric charge distribution in the first insulator for storing electric charges is not uniform, there is a possibility that electric charges move inside the first insulator during being held and so the reliability of the memory devices is deteriorated. Also, the first insulator for storing electric charges is separated from a conductor portion (a gate electrode, a diffusion layer region, and a semiconductor substrate) with other insulating film, which may restrain leakage of electric charges and makes it possible to obtain sufficient holding time. Therefore, the above sandwich structure enables high-speed rewrite operation, increased reliability, and obtainment of sufficient holding time of the semiconductor storage device. The charge holding portion that fulfils the above conditions is more preferably structured such that the first insulator is to be a silicon nitride film, and the second and the third insulators are to be silicon oxide films. The silicon nitride film may achieve large

hysteresis property by the presence of a number of levels for trapping electric charges. Also, the silicon oxide film as well as the silicon nitride film are preferable because they are materials used in LSI process quite normally. Further, as the first insulator, in addition to silicon nitride, there may be used such materials as hafnium oxide, tantalum oxide, and yttrium oxide. As the second and third insulators, in addition to the silicon oxide, such material as aluminum oxide may be used. It is noted that the second and third insulators may be different materials or may be the same material.

The charge holding portion is formed on the both sides of the gate electrode, and disposed on a semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region).

The charge holding film contained in the charge holding portion is formed on the both sides of the gate electrode directly or through an insulating film, and it is directly disposed on a semiconductor substrate (a well region, a body region, or a source/drain region or a diffusion layer region) through the gate insulating film or the insulating film. A charge holding film on the both sides of the gate electrode is preferably formed so as to cover all or part of side walls of the gate electrode directly or through the insulating film. In the case where

the gate electrode has a recess portion on the lower edge side as an application example, the charge holding film may be formed so as to fill the entire recess portion or part of the recess portion directly or through the insulating
5 film.

Preferably, the gate electrode is formed only on the side wall of the charge holding portion or formed such that the upper portion of the charge holding portion is not covered. In such disposition, it becomes possible to
10 dispose a contact plug closer to the gate electrode, which facilitates miniaturization of the memory devices. Also, the memory devices having such simple disposition are easily manufactured, resulting in an increased yield.

The source/drain region is separately disposed on
15 the side of the charge holding portion opposed to the gate electrode as a diffusion layer region having a conductivity type opposite to that of a semiconductor substrate or a well region. In the portion where the source/drain region is joined to the semiconductor substrate or the well
20 region, impurity concentration is preferably sharp. This is because the sharp impurity concentration efficiently generate hot electrons and hot positive holes with low voltages, which enables high-speed operation with lower voltages. The junction depth of the source/drain region is
25 not particularly limited and so it is adjustable where

necessary corresponding to performance and the like of a semiconductor storage device to be manufactured. It is noted that if SOI substrate is used as a semiconductor substrate, the junction depth of the source/drain region may be smaller than the film thickness of a surface semiconductor layer, though preferably the junction depth is almost equal to the film thickness of the surface semiconductor layer.

The source/drain region may be disposed so as to be overlapped with the edge of the gate electrode, or may be disposed so as to be offset from the edge of the gate electrode. Particularly, it is preferable that the source/drain region is offset from the edge of the gate electrode. This is because in this case, when voltage is applied to the gate electrode, easiness of inversion of the offset region under the charge holding film is largely changed by an electric charge amount stored in the charge holding portion, resulting in increased memory effect and reduced short channel effect. It is noted, however, that too much offset extremely reduces drive current between the source and the drain. Therefore, it is preferable that an offset amount, that is a distance from one edge of the gate electrode to the source or drain region closer thereto in the longitudinal direction of the gate, is shorter than the thickness of the charge holding film parallel to the

longitudinal direction of the gate. What is particularly important is that at least part of the electric charge storage region in the charge holding portion overlaps with part of the source/drain region as a diffusion layer region. This is because the nature of memory devices constituting the semiconductor storage devices of the present invention is to rewrite memory with an electric field crossing the charge holding portion by voltage difference between the gate electrode present only on the side wall portion of the charge holding portion and the source/drain region.

Part of the source/drain region may be extensively provided in the position higher than the surface of the channel region, that is, the lower face of the gate insulating film. In this case, it is appropriate that a conductive film integrated with the source/drain region is laminated on the source/drain region formed in the semiconductor substrate. Examples of the conductive film include semiconductors such as polysilicon and amorphous silicon, silicide, the above described metals, and high-melting metals. Among these, the polysilicon is preferable. Since the polysilicon is extremely larger in impurity diffusion speed than the semiconductor substrate, it is easy to shallow the junction depth of the source/drain region in the semiconductor substrate, and it

is easy to control short channel effect. In this case, it is preferable that the source/drain region is disposed such that at least part of the charge holding film is interposed in between part of the source/drain region and the gate electrode.

The semiconductor storage device of the present invention uses a single gate electrode formed on the gate insulating film, a source region, a drain region, and a semiconductor substrate as four terminals, and executes write, erase and read operations by giving specified potential to each of these four terminals. An example of specific operation principle and operation voltage will be described later. When the semiconductor storage devices of the present invention are disposed in an array to constitute a memory cell array, a single control gate is capable of control each memory cell, which makes it possible to decrease the number of word lines.

The semiconductor storage device of the present invention may be formed in a normal semiconductor process by a method similar to, for example, a method for forming a multilayer-structured side wall spacer on the side wall of a gate electrode. More specifically, there is a method in which after the gate electrode is formed, a multilayer composed of an insulating film (second insulator), an electric charge storage film (first insulator), and an

insulating film (second insulator) is formed and etched back under an appropriate condition to leave the film in the form of a side wall spacer. In addition, corresponding to the structure of a desired charge holding portion, conditions and deposits in forming the side wall may be appropriately selected.

The semiconductor storage device of the present invention is applicable to portable electronic apparatuses and more particularly to portable information terminals. Examples of the portable electronic apparatuses include portable information terminals, cell phones, and gaming devices.

Hereinbelow, a semiconductor storage device of the present invention will be described in detail with reference to drawings.

(First Embodiment)

The structure of a memory device constituting a semiconductor storage device of the present embodiment will be described with reference to Figs. 1 to 3. Figs. 1 to 3 are outlined cross sectional views showing memory devices whose structure of a charge holding portion in the shape of side wall spacer is different from each other.

The memory device constituting the semiconductor storage device of the present embodiment is formed as a nonvolatile memory cell capable of storing two bits, in

which, as shown in Figs. 1 to 3, a gate electrode 13 having a gate length similar to normal transistors is formed on a semiconductor substrate 11 through a gate insulating film 12, and charge holding portions 61, 62 in the shape of side wall spacer are formed on the side walls of the gate insulating film 12 and the gate electrode 13. On the side of the charge holding portions 61, 62 facing the gate electrode 13, there are formed a first diffusion layer region 17 and a second diffusion layer region 18 (source/drain regions). The source/drain regions 17, 18 are offset from the edge portion of the gate electrode 13 (from a region 41 where the gate electrode 13 is formed).

Thus, the charge holding portions of the memory transistor are formed independently of the gate insulating film. Consequently, a memory function implemented by the charge holding portions and a transistor operation function implemented by the gate insulating film are separated. Since two charge holding portions formed on the both sides of the gate electrode are separated by the gate electrode, interference in rewrite operation is effectively controlled. Therefore, the memory transistor is capable of storing two bits information and enables easy miniaturization.

Further, since the source/drain regions 17, 18 are offset from the gate electrode 13, easiness of

inversion of an offset region 42 under the charge holding film is largely changed by an electric charge amount stored in the charge holding portion when voltage is applied to the gate electrode, which enables increase of memory effect. Further, compared to normal logic transistors, short channel effect may be strongly prevented, which enables further miniaturization of the gate length. Also, since the memory transistor is structurally suitable for controlling the short channel effect, it becomes possible to adopt a gate insulating film with a large film thickness compared to logic transistors, thereby enabling increase of reliability.

The charge holding portion in the shape of side wall spacer may be composed of, as shown in Fig. 1 for example, a silicon nitride film 21 in the shape of side wall and a silicon oxide film 14 for separating the silicon nitride film 21 from the gate electrode 13, the semiconductor substrate 11, and the source/drain regions 17, 18. It is the silicon nitride film 21 that has a function of storing electric charges (electrons or positive holes), and the silicon oxide film 14 prevents the electric charges stored in the silicon nitride film 21 from leaking.

As shown in Fig. 2, another example of the charge holding portion is composed of a conductive film 22 in the shape of side wall and a silicon oxide film 14 for

separating the conductive film 22 from the gate electrode 13, the semiconductor substrate 11, and the source/drain regions 17, 18. It is the conductive film 22 that has a function of storing electric charges, and the silicon oxide film 14 prevents the electric charges stored in the
5 conductive film 22 from leaking.

The charge holding portion may further has a structure shown in Fig. 3. The charge holding portion in the shape of side wall spacer has a structure in which a
10 silicon nitride film 15 is interposed in between silicon oxide films 14, 16. The silicon nitride film 15 has a function of trapping and storing electric charges (electrons or positive holes). Storing of electric charges is mainly implemented by a portion present on the offset
15 region 42. Since the charge holding portion has a structure in which the silicon nitride film 15 is interposed in between the silicon oxide films 14, 16 as shown above, efficiency of injecting electric charges into the charge holding portion is increased and high-speed
20 rewrite operation (write and erase operation) is enabled.

The structure of the charge holding portion is not limited to the above three examples (Figs. 1 to 3), and therefore such structure as containing quantum dots having a function of storing electric charges in the charge
25 holding portion is also acceptable. Also, the charge

holding portion does not need to have a side wall shape, as long as the charge holding portion is in the both sides of the gate electrode and part thereof is in contact with the semiconductor substrate 11 and the source/drain regions 17, 18.

Next, the operation principle of the memory device will be described with reference to Figs. 4 to 8. It is noted that although Figs. 4 to 6 show memory devices having the charge holding portion shown in Fig. 3, the operation principle is applicable to memory devices having charge holding portions in other shapes.

First, description will be given of write operation of the memory device with reference to Fig. 4. It is noted that the term "write" refers to the action of injecting electrons into the charge holding portion when the memory device is N channel type, and to the action of injecting positive holes into the charge holding portion when the memory device is P channel type. When the memory device is N channel type, the first conductivity type semiconductor substrate 11 is P type and second conductivity type diffusion layer regions 17, 18 are N type. When the memory device is P channel type, conductivity type of each component is reversed. In the following description (including description about read method and erase method), there is shown the case where the

memory device is N channel type. As for the case of P channel type, reversing the function of electrons and positive holes will do. Also in the case of P channel type, all the marks of voltages to be applied to each node
5 may be reversed. The write operation of the memory is executed by injecting hot electrons accelerated by drain electric fields into the charge holding portion.

In order to inject electrons (write) into a second charge holding portion 62, as shown in Fig. 4A, a
10 first diffusion layer region 17 is set to be a source electrode and a second diffusion layer region 18 is set to be a drain electrode. For example, there may be applied 0V to the first diffusion layer region 17 and the semiconductor substrate 11, +5V to the second diffusion
15 layer region 18, and +4V to a gate electrode 13. Under these voltage conditions, an inversion layer 31 extends from the diffusion layer region 17 (source electrode) but fails to reach the second diffusion layer region 18 (drain electrode), resulting in generating a pinchoff point.
20 Electrons are accelerated by high electric fields from the pinchoff point to the second diffusion layer region 18 (drain electrode) and turn to be so-called hot electrons (high energy conductive electrons). By injecting these hot electrons into the second charge holding portion 62 (more
25 precisely the silicon nitride film 15), write operation is

executed. It is noted that in the vicinity of a first charge holding portion 61, hot electrons are not generated and therefore write operation is not executed. Thus, electrons are injected to the second charge holding portion 62 so as to enable write operation.

In order to inject electrons (write) into the first charge holding portion 61, as shown in Fig. 4B, the second diffusion layer region 18 is set to be a source electrode, and the first diffusion layer region 17 is set to be a drain electrode. For example, there may be applied 0V to the second diffusion layer region 18 and the semiconductor substrate 11, +5V to the first diffusion layer region 17, and +4V to the gate electrode 13. Thus, by reversing the source and drain regions in the case of injecting electrons into the second charge holding portion 62, electrons are injected into the first charge holding portion 61 for enabling write operation.

Next, description will be given of the principle of read operation of the memory device (unshown).

In the case of reading information stored in the first charge holding portion 61, the first diffusion layer region 17 is set to be a source electrode and the second diffusion layer region 18 is set to be a drain electrode, and a transistor is operated in the saturated region. For example, there may be applied 0V to the first diffusion

layer region 17 and the semiconductor substrate 11, +2V to the second diffusion layer region 18, and +1 to the gate electrode 13. Herein, if no electron is stored in the first charge holding portion 61, drain current tends to flow. In the case where electrons are stored in the first charge holding portion 61, an inversion layer is hardly formed in the vicinity of the first charge holding portion 61, and so the drain current does not tend to flow. Therefore, detecting the drain current makes it possible to read information stored in the first charge holding portion 61. Here, whether or not electric charges are stored in the second charge holding portion 62 does not affect the drain current since the vicinity of the drain is pinched off.

In the case of reading information stored in the second charge holding portion 62, the second diffusion layer region 18 is set to be a source electrode, and the first diffusion layer region 17 is set to be a drain electrode, and a transistor is operated in the saturated region. For example, there may be applied 0V to the second diffusion layer region 18 and the semiconductor substrate 11, +2V to the first diffusion layer region 17, and +1V is applied to the gate electrode 13. Thus, by reversing the source and drain regions in the case of reading information

stored in the first charge holding portion 61, information stored in the second charge holding portion 62 may be read.

It is noted that if a channel region (offset region 41, 42) not covered with the gate electrode 13 is remained, the presence of excessive electrons in the charge holding portions 61, 62 eliminates or forms the inversion layer in the channel region not covered with the gate electrode 13, as a result of which large hysteresis (change of threshold) may be obtained. However, if the width of the offset region 42 is too large, the drain current is drastically reduced, thereby causing considerable delay of a read speed. Therefore, it is preferable to determine the width of the offset region 42 so as to enable obtainment of sufficient hysteresis and read speed.

In the case where the diffusion layer regions 17, 18 reach the edge of the gate electrode 13, that is, if the diffusion layer regions 17, 18 and the gate electrode 13 are overlapped, write operation causes almost no change to a threshold of the transistor, though parasitic resistance at the edge of the source/drain regions suffers considerable change, resulting in remarkable reduction of the drain current (one digit or more). Therefore, detection of the drain current enables read operation and provides a function as a memory. However, if larger memory hysteresis effect is required, it is preferable that the

diffusion layer regions 17, 18 and the gate electrode 13 are not overlapped (that the offset region 42 is present).

Next, description will be given of a first erase method of the semiconductor storage device with reference to Fig. 5.

In the case of erasing information stored in the second charge holding portion 62, a positive voltage (e.g., +5V) is applied to the second diffusion layer region 18 as the one of the second conductivity type diffusion layer regions, while at the same time, 0V is applied to the semiconductor substrate 11, so that reverse bias is imparted to the PN junction between the second diffusion layer region 18 and the semiconductor substrate 11. Further, a negative voltage (e.g., -5V) is applied to the gate electrode 13. Here, in the vicinity of the gate electrode 13 among the PN junction area, potential gradient becomes particularly steep because of the influence of the gate electrode to which a negative voltage is applied. Consequently, positive holes are generated on the side of the semiconductor substrate 11 in the PN junction area due to interband tunneling. The positive holes are pulled toward the gate electrode 13 having negative potential, as a result of which positive holes are injected into the second charge holding portion 62. Thus, erase operation of the second charge holding portion 62 is performed. In this

point, 0V may be applied to the first diffusion layer region 17 as the other of the second conductivity type diffusion layer regions, or the first diffusion layer region 17 may be put into open state.

5 In the above erase method, for erasing information stored in the first charge holding portion 61, potential of the first diffusion layer region and the second diffusion layer region may be reversed.

10 Next, description will be given of a second erase method of the semiconductor storage device with reference to Figs. 6 and 7.

15 In the case of erasing information stored in the second charge holding portion 62, as shown in Fig. 6, there may be applied a positive voltage (e.g., +4V) to the second diffusion layer region 18 as the one of the second conductivity type diffusion layer regions, 0V to the first diffusion layer region 17 as the other of the second conductivity type diffusion layer regions, a negative voltage (e.g., -4V) to the gate electrode 13, and a
20 positive voltage (e.g., +0.8V) to the semiconductor substrate 11. More particularly, with the voltage of the other of the N type diffusion layer regions (first diffusion layer region 17) being used as a reference voltage, the voltage of the one of the N type diffusion
25 layer regions (second diffusion layer region 18) is set

higher than the reference voltage, the voltage of the gate electrode 13 is set lower than the reference voltage, and the voltage of a semiconductor substrate of P type as a first conductivity type (semiconductor substrate 11) is set higher than the reference voltage. It is noted that voltages applied to each node are relative. Consequently, if the voltage of the semiconductor substrate 11 is a reference voltage (0V), the above condition is equivalent to the condition in which the voltage of the second diffusion layer region 18 is +3.2V, the voltage of the first diffusion layer region 17 is -0.8V, and the voltage of the gate electrode 13 is -4.8V. In other words, the voltage of the first conductivity type semiconductor substrate (P type semiconductor substrate 11) is set to be a reference voltage, the voltage of the other of the second conductivity type regions (first N type diffusion layer region 17) is set lower than the reference voltage, the voltage of the one of the second conductivity type diffusion layer regions (second N type diffusion layer region 18) is set higher than the reference voltage, and the voltage of the gate electrode 13 is set lower than the reference voltage.

In the case of disposing the semiconductor storage devices of the present embodiment in a cell array, it is preferable to use a P type semiconductor storage

device common to each memory device (more specifically, a memory cell array is formed on one semiconductor substrate, or a common P type well region is formed in a semiconductor substrate and a memory cell array is formed thereon), and to fix potential of the P type semiconductor substrate in operating the semiconductor storage devices. This is because since the common P type semiconductor substrate has a PN junction whose area is extremely large, fluctuating the potential of the P type semiconductor substrate generates large current flow in filling the capacity of this PN junction.

Fig. 7A and 7B show energy diagrams (energy band diagrams) against electrons in cross sectional line A-A' of Fig. 6. Fig. 7A shows the energy band when 0V that is the same voltage as the first diffusion layer region 17 is applied to the semiconductor substrate 11 (potential of other nodes is similar to that of Fig. 6), while Fig. 7B shows the energy band when +0.8V is applied to the semiconductor substrate 11 (that is the same condition as that shown in Fig. 6). In Figs. 7A and 7B, E_c represents a conduction electron band edge and E_v represents valence band edge. A gap between E_c and E_v shows a band gap.

In the case of Fig. 7A, though absolute values of voltages are different, the energy band is essentially the same as that in the first erase method. In this case,

between the semiconductor substrate 11 and the second diffusion layer region 18, there should be given potential different enough for causing interband tunneling. The second erase method is for generating positive holes and
5 executing erase operation even if potential difference between the semiconductor substrate 11 and the second diffusion layer region 18 is not enough for causing interband tunneling. The most important point in the second erase method is to apply forward-direction voltage
10 to the PN junction between the first diffusion layer region 17 and the semiconductor substrate 11. As shown in Fig. 7B, if the forward-direction voltage is applied, potential of the semiconductor substrate 11 is declined from a dotted line to a solid line. Eventually, electrons are injected
15 from the first diffusion layer region 17 to the semiconductor substrate 11 (electron 51). The electron 51 injected to the semiconductor substrate reaches the PN junction between the second diffusion layer region 18 and the semiconductor substrate 11, where the electron 51 is
20 accelerated by electric fields and loses energy by diffusion (electron 52). The energy lost at this point is received by valence band electrons, resulting in generation of pairs of an electron 53 and a positive hole 54. Thus, in the PN junction between the second diffusion layer
25 region 18 and the semiconductor substrate 11, positive

holes are generated, and they are further injected into the second charge holding portion 62, by which erase operation works.

According to the second erase method, it becomes possible to generate positive holes and to perform erase operation even if backward-direction bias applied to the second diffusion layer region 18 and the semiconductor substrate 11 is relatively small. This makes it possible to lower operating voltage of memory devices. Therefore, it becomes possible to fulfill reduced power consumption and restrained deterioration of memory devices. Particularly when the offset region 42 is present, the effect that the gate electrode to which negative potential is applied makes potential of the PN junction steep becomes small. This makes generation of positive holes by interband tunneling difficult. The second erase method covers this defect and fulfills erase operation with low voltage. Therefore, in the memory device of the present invention in which providing the offset region 42 increases memory effect, the second erase method is particularly preferable.

When forward-direction bias applied to between the first diffusion layer region 17 and the semiconductor substrate 11 is 0.7V or more, erase operation is performed, whereas the forward-direction bias is less than 0.7V, erase

operation is not performed at all. When the forward-direction bias exceeds 1V, forward-direction current increases and therefore current consumed in erase operation shows considerable increase. Therefore, the forward-direction bias is preferably 0.7V or more and 1V or less.

In the above second erase method, for erasing information stored in the first charge holding portion 61, potential of the first diffusion layer region and potential of the second diffusion layer region may be reversed.

Fig. 8 is a view showing change of erase capability along with change of the gate length in the second erase method. In an experiment for creating Fig. 8, a threshold value of a memory device was measured after write operation was conducted onto the memory device, and then an threshold value was re-measured after erase operation by the second erase method was conducted. An initial threshold value before conducting write operation was approx. 0.4V. After write operation was conducted, the threshold value incremented to almost the same level (0.85V) regardless of the gate length. It was found out that after erase operation was conducted, the threshold value was lowered to almost the same level (0.4V) when the gate length was 0.5 μm or less, but the erase capability was rapidly decreased along with increase of the gate length when the gate length was 0.6 μm or more. Such

phenomenon may be attributed to the following. In Fig. 7B, the electron 51 injected from the first diffusion layer region 17 into the semiconductor substrate 11 can reach the PN junction between the second diffusion layer region 18 and the semiconductor substrate 11 when the gate length (channel length) is sufficiently short. However, when the gate length (channel length) is long, the electron 51 is lost due to recombination or receives repulsion from the gate electrode having negative potential, which considerably reduces the number of the electrons 51 before the electron 51 reaches the PN junction. Thus, the characteristics as shown in Fig. 8 are considered to be obtained. Based on this finding, the gate length of the memory device is preferably 0.5 μm or less. As described before, this memory device is particularly suitable for miniaturization. However, with the gate length being 0.015 μm or less, transistor operation itself becomes difficult. In view of these, it is preferable that the gate length of the memory device is 0.015 μm or more and 0.5 μm or less.

Although in the above operation method, two-bit write and erase operation per transistor is achieved by reversing the source electrode and the drain electrode, it is also possible to fix the source electrode and the drain electrode to operate the memory device as one-bit memory.

In this case, it becomes possible to set the voltage of

either one of the source and drain regions to be a common fixed voltage, which enables reduction of the number of bit lines connected to the source/drain region.

It is understood that the above operation method is applicable not only to the semiconductor storage device of the present embodiment but also to the semiconductor storage devices of other embodiments.

According to the semiconductor storage device of the present embodiment, the charge holding portion of the memory transistor is formed on the both sides of the gate electrode independently of the gate insulating film. This makes it possible to execute two-bit operation. Further, since each of the charge holding portion is separated by the gate electrode, interruption in rewrite operation is effectively controlled. Also, the memory function implemented by the charge holding portion and the transistor operation function implemented by the gate insulating film are separated, decreasing the thickness of the gate insulating film enables restraint of short channel effect. Consequently, it becomes possible to miniaturize the device.

Also, according to the second erase method of the semiconductor storage device, it becomes possible to generate positive holes with relatively low voltage and to execute erase operation. This makes it possible to reduce

operating voltage of the memory device. Consequently, reduced power consumption and controlled deterioration of the memory device may be fulfilled. Further, in the memory device of the present invention whose memory effect is increased by offsetting the diffusion layer region from the gate electrode, the second erase method has particularly large effect of decreasing erase operation voltage.

(Second Embodiment)

In a semiconductor storage device in this embodiment as shown in Fig. 9, charge holding portions 161, 162 are composed of a region for holding electric charges (the region for storing electric charges, which may be a film having a function of holding electric charges) and a region for obstructing release of electric charges (which may be a film having a function of obstructing release of electric charges). The semiconductor storage device has, for example, ONO structure. More specifically, the charge holding portions 161, 162 are structured in the state that a film 142 as a first insulator made of silicon nitride being interposed in between a film 141 as a second insulator made of a silicon oxide and a film 143 as a third insulator made of silicon oxide. Here, the silicon nitride film 142 implements a function of storing and holding electric charges. The silicon oxide films 141, 143

implement a function of obstructing release of the electric charges stored in the silicon nitride film.

Also, the region (silicon nitride film 142) for holding electric charges in the charge holding portions 161, 162 are overlapped with the diffusion layer regions 112, 113. Herein, the term "overlap" is used to refer to the state that at least part of the region (silicon nitride film 142) for holding electric charges is present on at least part of the diffusion layer regions 112, 113. It is noted that there are shown a semiconductor substrate 111, a gate insulating film 114, a gate electrode 117, and an offset region 171 (between the gate electrode and the diffusion layer region). Though unshown in the drawing, the uppermost surface of the semiconductor substrate 111 under the gate insulating film 114 is a channel region.

Description will be given of an effect of overlapping the region 142 for holding electric charges in the charge holding portions 161, 162 and the diffusion layer regions 112, 113.

Fig. 10 is an enlarged view showing the vicinity of the charge holding portion 162 that is on the right side of Fig. 9. Reference numeral W1 denotes an offset amount between the gate insulating film 114 and the diffusion layer region 113. Also, reference numeral W2 denotes the width of the charge holding portion 162 on the cross

sectional plane in channel length direction of the gate electrode. Since an edge of the silicon nitride film 142 on the side away from the gate electrode 117 in the charge holding portion 162 is aligned with an edge of the charge holding portion 162 on the side away from the gate electrode 117, the width of the charge holding portion 162 is defined as W_2 . An overlap amount between the charge holding portion 162 and the diffusion layer region 113 is represented by an equation $W_2 - W_1$. What is particularly important is that the silicon nitride film 142 in the charge holding portion 162 is overlapped with the diffusion layer region 113, that is, the relation of $W_2 > W_1$ is satisfied.

In the case where an edge of a silicon nitride film 142a on the side away from the gate electrode in a charge holding portion 162a is not aligned with an edge of the charge holding portion 162a on the side away from the gate electrode as shown in Fig. 11, W_2 may be defined as the width from the edge of the gate electrode to the edge of the silicon nitride film 142a on the side away from the gate electrode.

Fig. 12 shows a drain current I_d in the structure of Fig. 10 with the width W_2 of the charge holding portion 162 being fixed to 100nm and the offset amount W_1 being varied. Herein, the drain current is obtained by device

simulation performed under the conditions that the charge holding portion 162 is in erase state (positive holes are stored), and the diffusion layer regions 112, 113 are set to be a source electrode and a drain electrode, respectively.

As shown in Fig. 12, with W1 being 100nm or more (i.e., when the silicon nitride film 142 and the diffusion layer region 113 are not overlapped), the drain current shows rapid reduction. Since a drain current value is almost in proportion to a read operation speed, memory performance is rapidly deteriorated when W1 is 100nm or more. In the range where the silicon nitride film 142 and the diffusion layer region 113 are overlapped, the drain current shows mild reduction. Therefore, it is preferable that at least part of the silicon nitride film 142 that is a film having a function of holding electric charges is overlapped with the source/drain region.

Based on the above-described result of the device simulation, a memory cell array is manufactured with W2 being fixed to 100nm, and W1 being set to 60nm and 100nm as design values. When W1 is 60nm, the silicon nitride film 142 is overlapped with the diffusion layer regions 112, 113 by 40nm as a design value, and when W1 is 100nm, there is no overlap as a design value. As a result of measuring read time of these memory cell arrays in comparison with

the worst cases in consideration to dispersion, it was found out that the case where W_1 was 60nm as a design value was 100 times faster in readout access time. From a practical standpoint, it is preferable that the read access time is 100 nanoseconds or less per bit. It was found out, however, that this condition was never satisfied in the case of $W_1=W_2$. It was also found out that $W_2-W_1>10\text{nm}$ was more preferable in consideration to manufacturing dispersion.

10 In the semiconductor storage device in Fig. 9 to Fig. 11, it is preferable for reading information stored in the charge holding portion 161 (region 181) to set the diffusion layer region 112 as a source electrode and the diffusion layer region 113 as a drain region similar to the embodiment 1 and to form a pinchoff point on the side
15 closer to the drain region in the channel region. More specifically, in reading information stored in either one of two charge holding portions, the pinchoff point is preferably formed in a region closer to the other charge
20 holding portion in the channel region. This makes it possible to detect memory information in the charge holding portion 161 with good sensitivity regardless of the storage condition of the charge holding portion 162, resulting in large contribution to implementation of two-bit operation.

In the case of storing information only in one side out of the two charge holding portions 161, 162, or in the case of using these two charge holding portions 161, 162 in the same storing condition, an pinchoff point is not necessarily formed in read operation.

Although not shown in Fig. 9, a well region (P type well in the case of N-channel device) is preferably formed on the surface of the semiconductor substrate 111. Forming the well region facilitates control of other electric characteristics (withstand voltage, junction capacitance, and short channel effect) while maintaining impurity concentration of the channel region optimum for memory operation (rewrite operation and read operation).

From the viewpoint of improving memory holding characteristic, the charge holding portion preferably contains a charge holding film having a function of holding electric charges and an insulating film. In this embodiment, there are used a silicon nitride film 142 as a charge holding film having levels for trapping electric charges, and silicon oxide films 141, 143 as insulating films having a function of preventing the electric charges stored in the charge holding film from dispersing. The charge holding portion containing the charge holding film and the insulating film makes it possible to prevent electric charges from dispersing and to improve holding

characteristic. Further, compared to the charge holding portion composed of only a charge holding film, it becomes possible to appropriately decrease the volume of the charge holding film. Appropriate decrease of the volume of the charge holding film makes it possible to restrain movement of electric charges in the charge holding film and to control occurrence of characteristic change due to movement of electric charges during memory holding.

Also, it is preferable that the charge holding portion contains a charge holding film disposed approximately parallel to the surface of the gate insulating film. In other words, it is preferable that the surface of the charge holding film in the charge holding portion is disposed so as to have a constant distance from the surface of the gate insulating film. More particularly, as shown in Fig. 13, a charge holding film 142a in the charge holding portion 162 has a face approximately parallel to the surface of the gate insulating film 114. In other words, the charge holding film 142a is preferably formed to have a uniform height from the height corresponding to the surface of the gate insulating film 114. The presence of the charge holding film 142a approximately parallel to the surface of the gate insulating film 114 in the charge holding portion 162 makes it possible to effectively control easiness of formation of

an inversion layer in the offset region 171 with use of an amount of electric charges stored in the charge holding film 142a, thereby enabling increase of memory effect. Also, by placing the charge holding film 142a approximately
5 parallel to the surface of the gate insulating film 114, change of memory effect may be kept relatively small even with a dispersed offset amount (W_1), enabling restraint of memory effect dispersion. In addition, movement of electric charges toward upper side of the charge holding
10 film 142a may be controlled, and therefore characteristic change due to the movement of electric charges during memory holding may be restrained.

Furthermore, the charge holding portion 162 preferably contains an insulating film (e.g., a portion of
15 the silicon oxide film 144 on the offset region 171) that separates the charge holding film 142a approximately parallel to the surface of the gate insulating film 114 from the channel region (or the well region). This insulating film may restrain dispersion of the electric
20 charges stored in the charge holding film, thereby contributing to obtaining a semiconductor storage device with better holding characteristics.

It is noted that controlling the film thickness of the charge holding film 142a as well as controlling the
25 film thickness of the insulating film under the charge

holding film 142a (a portion of the silicon oxide film 144 on the offset region 171) to be constant make it possible to keep the distance from the surface of the semiconductor substrate to the electric charges stored in the charge holding film approximately constant. More particularly, the distance from the surface of the semiconductor substrate to the electric charges stored in the charge holding film may be controlled to be within the range from a minimum film thickness value of the insulating film under the charge holding film 142a to the sum of a maximum film thickness of the insulating film under the charge holding film 142a and a maximum film thickness of the charge holding film 142a. Consequently, the concentration of electric line of force generated by the electric charges stored in the charge holding film 142a may be roughly controlled, and therefore dispersion of the degree of memory effect of the memory device may be minimized.

(Third Embodiment)

In this embodiment, a charge holding film 142 as a film made of a first insulator in the charge holding portion 162 has an approximately uniform film thickness as shown in Fig. 14. Further, the charge holding film 142 includes a first portion 181 as a portion having the surface approximately parallel to the surface of the gate insulating film 114 and a second portion 182 as a portion

extending in direction approximately parallel to the side face of the gate electrode 117.

When a positive voltage is applied to the gate electrode 117, electric line of force in the charge holding portion 162 passes the silicon nitride film 142 total two times through the first portion 181 and the second portion 182 as shown with an arrow 183. It is noted that when a negative voltage is applied to the gate electrode 117, the direction of electric line of force is reversed. Herein, a dielectric constant of the silicon nitride film 142 is approx. 6, while a dielectric constant of silicon oxide films 141, 143 is approx. 4. Eventually, an effective dielectric constant of the charge holding portion 162 in the direction of electric line of force 183 becomes larger than that in the case where the charge holding film 142 includes only the first portion 181, which makes it possible to decrease potential difference between the both edges of the electric line of force. More specifically, much part of the voltage applied to the gate electrode 117 is used to reinforce electric fields in the offset region 171.

Electric charges are injected into the silicon nitride film 142 in rewrite operation because generated electric charges are pulled by electric fields in the offset region 171. As a consequence, the charge holding

film 142 including the second portion 182 increases the electric charges injected into the charge holding portion 162 in rewrite operation, thereby increasing a rewrite speed.

5 In the case where the portion of the silicon oxide film 143 is a silicon nitride film, more specifically, in the case where the charge holding film is not constant against the height corresponding to the surface of the gate insulating film 114, movement of
10 electric charges toward upper side of the silicon nitride film becomes outstanding, and holding characteristics are deteriorated.

 Instead of silicon oxide film, the charge holding portion is more preferably formed from high-dielectric
15 substances such as hafnium oxide having extremely large dielectric constant.

 Further, the charge holding portion more preferably includes an insulating film (a portion of the s141 on the offset region 171) that separates the charge
20 holding film approximately parallel to the surface of the gate insulating film from the channel region (or the well region). This insulating film may restrain dispersion of the electric charges stored in the charge holding film, thereby enabling further improvement of holding
25 characteristics.

Also, the charge holding portion more preferably includes an insulating film (a portion of the silicon oxide film 141 in contact with the gate electrode 117) that separates the gate electrode from the charge holding film extending in the direction approximately parallel to the side face of the gate electrode. This insulating film may prevent injection of electric charges from the gate electrode into the charge holding film and prevent change of electric characteristics, which may increase reliability of the semiconductor storage device.

Further, similar to the second embodiment, it is preferable that the film thickness of the insulating film under the charge holding film 142 (a portion of the silicon oxide film 141 on the offset region 171) is controlled to be constant, and further the film thickness of the insulating film disposed on the side face of the gate electrode (a portion of the silicon oxide film 141 in contact with the gate electrode 117) is controlled to be constant. Consequently, the concentration of electric line of force generated by the electric charges stored in the charge holding film 142 may be roughly controlled, and leakage of electric charges may be prevented.

(Fourth Embodiment)

This embodiment relates to optimization of the distance between a gate electrode, a charge holding portion, and a source/drain region.

As shown in Fig. 15, reference symbol A denotes a
5 gate electrode length in the cross section in channel
length direction, reference symbol B denotes a distance
(channel length) between source and drain regions, and
reference symbol C denotes a distance from the edge of one
charge holding portion 161 to the edge of the other charge
10 holding portion 162, more specifically a distance from the
edge of a film 142 (the side away from the gate electrode
117) having a function of holding the electric charges in
one charge holding portion 161 in the cross section in
channel length direction to the edge of a film 142 (the
15 side away from the gate electrode 117) having a function of
holding the electric charges in the other charge holding
portion 162.

First, an equation $B < C$ is preferable. In the
channel region, there is present an offset region 171
20 between a portion under the gate electrode 117 and the
source/drain regions 112, 113. Since $B < C$, the electric
charges stored in the charge holding portions 161, 162
(silicon nitride film 142) effectively fluctuate easiness
of inversion in the entire part of the offset region 171.

As a result, memory effect is increased, and high-speed read operation is particularly enabled.

Also, when the gate electrode 117 and the source/drain regions 112, 113 are offset, that is when an equation $A < B$ is satisfied, easiness of inversion of the offset region when a voltage is applied to the gate electrode 117 is largely changed by an electric charge amount stored in the charge holding portions 161, 162. Consequently, memory effect increases and short channel effect can be reduced. However, as long as the memory effect is effective, the offset region is not necessarily required. Even when the offset region 171 is not present, if the impurity concentration in the source/drain regions 112, 113 is sufficiently small, the memory effect can still be effective in the charge holding portions 161, 162 (silicon nitride film 142). Therefore, the state of $A < B < C$ is most preferable.

(Fifth Embodiment)

A semiconductor storage device in this embodiment has essentially the same structure as that in the second embodiment except that the semiconductor substrate is SOI substrate as shown in Fig. 16.

The semiconductor storage device is structured such that an embedded oxide film 188 is formed on a semiconductor substrate 186, and on top of the embedded

oxide film 188, SOI layer is further formed. In the SOI layer, there are formed diffusion layer regions 112, 113, and other areas constitute a body region 187.

5 This semiconductor storage device also brings about the working effects similar to those of the semiconductor storage device in the third embodiment. Further, since the junction capacitance between the diffusion layer regions 112, 113 and the body region 187 may be considerably reduced, it becomes possible to
10 increase a device speed and to decrease power consumption.

(Sixth Embodiment)

A semiconductor storage device in this embodiment has essentially the same structure as that in the second embodiment except that in the vicinity of the channel side
15 of N type source/drain regions 112, 113, a P type highly-concentrated region 191 is added as shown in Fig. 17.

More specifically, the concentration of P type impurity (e.g., boron) in the P type highly-concentrated region 191 is higher than the concentration of P type
20 impurity in the region 192. An appropriate value of the P type impurity concentration in the P type highly-concentrated region 191 is, for example, around 5×10^{17} to $1 \times 10^{19} \text{ cm}^{-3}$. Also, a value of the P type impurity concentration in the region 192 may be set to, for example,
25 5×10^{16} to $1 \times 10^{18} \text{ cm}^{-3}$.

Thus, providing the P type highly-concentrated region 191 makes the junction between the diffusion layer regions 112, 113 and the semiconductor substrate 111 steep right under the charge holding portions 161, 162. This facilitates generation of hot carriers in write and erase operation, thereby enabling reduction of voltage in write operation and erase operation or implementing high-speed write operation and erase operation. Further, since the impurity concentration in the region 192 is relatively small, a threshold value when the memory is in erased state is small and so the drain current becomes large. Consequently, a read speed is increased. This makes it possible to provide a semiconductor storage device having low rewrite voltage or a high rewrite speed, and having a high read speed.

Also in Fig. 17, by providing the P type highly-concentrated region 191 in a position adjacent to the source/drain region and on the lower side of the charge holding portions 161, 162 (that is a position not right under the gate electrode), a threshold value of the entire transistor shows considerable increase. The degree of this increase is extremely larger than that in the case where the P type highly-concentrated region 191 is right under the gate electrode 117. When write electric charges (electrons in the case where the transistor is N channel

type) are stored in the charge holding portions 161, 162, the difference becomes larger. When enough erase electric charges (positive holes in the case where the transistor is N channel type) are stored in the charge holding portion, a threshold value of the entire transistor is decreased down to a value determined by the impurity concentration in the channel region (region 192) under the gate electrode 117. More specifically, the threshold value in the erased state is not dependent on the impurity concentration in the P type highly-concentrated region 191, whereas the threshold value in the written state receives extremely large influence. Therefore, disposing the P type highly-concentrated region 191 that is under the charge holding portions 161, 162 and adjacent to the source/drain region imparts extremely large fluctuation only to the threshold value in the written state, thereby enabling remarkable increase of memory effect (difference of threshold values in the erased state and the written state).

(Seventh Embodiment)

A semiconductor storage device in this embodiment has essentially the same structure as that in the second embodiment except that the thickness T1 of the insulating film 141 that separates the charge holding portion (silicon nitride film 142) from the channel region or the well

region is smaller than the thickness T_2 of the gate insulating film 114 as shown in Fig. 18.

The gate insulating film 114 has a lower limit of the thickness T_2 because of the request for withstand voltage in memory rewrite operation. However, the thickness T_1 of the insulating film 141 that separates the charge holding portion (silicon nitride film 142) from the channel region or the well region can be smaller than T_2 regardless of the request for withstand voltage.

In the semiconductor storage device in the present embodiment, the thickness T_1 of the insulating film has high design freedom as stated above because of the following reason. In the semiconductor storage device in the present embodiment, the insulating film 141 that separates the charge holding film 142 from the channel region or the well region is not interposed in between the gate electrode 117 and the channel region or the well region. Consequently, the insulating film 141 that separates the charge holding film 142 from the channel region or the well region does not receive direct influence from the high-electric fields that affect in between the gate electrode 117 and the channel region or the well region, but receives influence from relatively weak electric fields expanding from the gate electrode 117 in horizontal direction. As a result, despite the request for

withstand voltage to the gate insulating film 114, it becomes possible to make T1 smaller than T2. Contrary to this, for example in EEPROM as typified by flash memory, an insulating film that separates a floating gate from the channel region or the well region is interposed in between a gate electrode (control gate) and the channel region or the well region, so that the insulating film receives direct influence from high electric fields of the gate electrode. In EEPROM, therefore, the thickness of the insulating film that separates the floating gate from the channel region or the well region is limited, which hinders optimization of the functions of a memory device. As is clear from the above, an essential reason of high freedom of T1 is the fact that the insulating film 141 that separates the charge holding film 142 from the channel region or the well region in the memory device of the present embodiment is not interposed in between the gate electrode 117 and the channel region or the well region.

Decreasing the thickness T1 of the insulating film facilitates injection of electric charges into the charge holding portions 161, 162, decreases voltage for write operation and erase operation, or enables high-speed write operation and erase operation. In addition, since an electric charge amount induced in the channel region or the well region increments when electric charges are stored in

the silicon nitride film 142, increased memory effect may be implemented.

Some electric lines of force in the charge holding portion do not pass the silicon nitride film 142 as shown with an arrow 184 in Fig. 14. Since electric field strength is relatively large on such a short electric line of force, the electric fields along the electric line of force plays an important role in rewrite operation. By decreasing the thickness T1 of the insulating film 141, the silicon nitride film 142 moves to the lower side of the Fig. 14, so that the electric line of force shown with the arrow 184 passes the silicon nitride film 142. As a consequence, an effective dielectric constant in the charge holding portion along the electric line of force 184 becomes large, which makes it possible to make potential difference between the both ends of the electric line of force 184 smaller. Therefore, most part of voltage applied to the gate electrode 117 is used to strengthen the electric fields in the offset region, thereby implementing high-speed write operation and erase operation.

As is clear from the above, the thickness T1 of the insulating film 141 that separates the silicon nitride film 142 from the channel region or the well region and the thickness T2 of the gate insulating film 114 are defined as $T1 < T2$ so as to decrease voltage in write operation and

erase operation or implement high-speed write operation and erase operation, and to enable further increase of memory effect without degrading withstand voltage capability of the memory.

5 It is noted that the thickness T_1 of the insulating film is preferably 0.8nm or more, that is the limit range in which uniformity in manufacturing process or certain level of film quality may be maintained and holding characteristics do not suffer extreme deterioration.

10 More specifically, in the case of liquid crystal driver LSI which has a severe design rule and requires high withstand voltage, maximum 15 to 18V voltage is necessary for driving liquid crystal panel TFT. Eventually, it is not possible to make the gate oxide film thinner. In the
15 case of mounting a nonvolatile memory of the present invention as an image adjuster together with other devices on the liquid crystal driver LSI, the memory device of the present invention enables optimum design of the thickness of an insulating film that separates the charge holding
20 film (silicon nitride film 242) from the channel region or the well region independently of the gate insulating film. For example, in a memory cell with a gate electrode length (word line width) of 250nm, there may be separately set like $T_1=20\text{nm}$ and $T_2=10\text{nm}$, fulfilling a memory cell with
25 good write efficiency. (Short channel effect is not

generated even though T1 is larger than that of normal logic transistors, because the source/drain region is offset from the gate electrode.)

(Eighth Embodiment)

5 A semiconductor storage device in this embodiment has essentially the same structure as that in the second embodiment except that the thickness T1 of the insulating film 141 that separates the charge holding film (silicon nitride film 142) from the channel region or the well
10 region is larger than the thickness T2 of the gate insulating film 114 as shown in Fig. 19.

 The gate insulating film 114 has an upper limit of the thickness T2 because of the request for prevention of short channel effect of the device. However, the
15 thickness T1 of the insulating film 141 on the lower side of the charge holding film 142 can be larger than T2 regardless of the request for prevention of short channel effect. More specifically, as miniaturization scaling proceeds (the gate insulating film 114 becomes smaller),
20 the thickness of the insulating film 141 that separates the charge holding film (silicon nitride film 142) from the channel region or the well region may be optimally designed independently of the thickness T2 of the gate insulating film, which implements the effect that the charge holding
25 portion will not disturb scaling.

In the semiconductor storage device of the present embodiment, the thickness T1 of the insulating film 141 has high design freedom as stated above because, as is already described, the insulating film 141 that separates the charge holding film 142 from the channel region or the well region is not interposed in between the gate electrode 117 and the channel region or the well region. As a result, despite the request for prevention of short channel effect to the gate insulating film 114, it becomes possible to make T1 larger than T2.

Increasing the thickness of the insulating film 141 makes it possible to prevent dispersion of the electric charges stored in the charge holding film 142 and to improve holding characteristics of the memory.

Therefore, setting as $T1 > T2$ enables improvement of holding characteristics without deteriorating short channel effect of the memory.

It is noted that the thickness T1 of the insulating film 141 is preferably 20nm or less in consideration of reduction of a rewrite speed.

More specifically, a conventional nonvolatile memory as typified by flash memory is structured such that a selection gate electrode constitutes a write/erase gate electrode, and a gate insulating film (including a floating gate) corresponding to the write/erase gate electrode

serves also as an electric charge storage film. Consequently, since the request for miniaturization (creation of thinner devices is essential for restraining short channel effect) conflicts the request for securing reliability (in order to control leakage of stored electric charges, the thickness of an insulating film that separates a floating gate from the channel region or the well region cannot be decreased to smaller than approx. 7nm), miniaturization of the device is difficult. In fact, according to ITRS (International Technology Roadmap for Semiconductors), miniaturization of a physical gate length down to approx. 0.2 micron or lower is not yet in sight. In the semiconductor storage device of the present invention, independent designing of T1 and T2 is available as described above, and therefore miniaturization becomes possible. In the present invention, for example, in a memory cell with a gate electrode length (word line width) of 450nm, there is separately set like T2=4nm and T1=7nm, fulfilling a semiconductor storage device free from generation of short channel effect. Short channel effect is not generated even though T2 is set larger than that of normal logic transistors, because the source/drain region is offset from the gate electrode. Also, since the source/drain region is offset from the gate electrode in the semiconductor storage device of the present invention,

miniaturization is further facilitated compared to normal logic transistors.

As described above, according to the semiconductor storage device of the present invention, since an electrode for supporting write and erase operation is not present above the charge holding portion, the insulating film that separates the charge holding film from the channel region or the well region does not directly receive the influence of high electric fields that affect in between the electrode that supports write and erase operation and the channel region or the well region, but receives influence only from relatively weak electric fields expanding from the gate electrode in horizontal direction. This makes it possible to fulfill a memory cell having the gate length miniaturized more than the gate length of the logic transistors in comparison with the same processing generations.

(Ninth Embodiment)

This embodiment relates to changes of electric characteristics when rewrite operation is performed in the semiconductor storage device of the present invention.

Fig. 20 is a view showing changes of a drain current $I_d(A)$ against a gate voltage $V_g(V)$ in the erased state and written state where an electric charge amount in the charge holding portion of an N-channel type memory

device is different, with curve lines, wherein a horizontal axis expresses the gate voltage $V_g(V)$ and a vertical axis expresses the drain current $I_D(A)$. As clearly shown in Fig. 20, when write operation is performed in the erased state (solid line), not only the threshold value simply rises, but inclination of the graph dramatically falls especially in sub-threshold region. Therefore, even in the region with relatively high gate voltage (V_g), a drain current ratio of the erased state to the written state is large. For example in the point of $V_g=2.5V$, the current ratio is still two digits or more. This characteristic is largely different from that in the case of a flash memory shown in Fig. 21. Fig. 21 is a view, similar to Fig. 20, showing changes of a drain current $I_d(A)$ against a gate voltage $V_g(V)$ in the erased state and written state in a flash memory, with curved lines.

The emergence of the above characteristic in the semiconductor storage device of the present embodiment is a phenomenon peculiar to the case where the gate electrode and the diffusion region are offset and therefore the gate electric fields are difficult to reach the offset region. When the semiconductor storage device is in the written state, an inversion layer is extremely difficult to be generated in the offset region below the charge holding portion even if a positive voltage is applied to the gate

electrode. This causes smaller inclination of the I_d - V_g curve line in the sub-threshold region in the written state. When the semiconductor storage device is in the erased state, high-density electrons are induced in the offset region. Further, when 0V is applied to the gate electrode (i.e., in OFF state), electrons are not induced in the channel below the gate electrode (because of which an off current is small). This causes large inclination of the I_d - V_g curve line in the sub-threshold region in the erased state and a large increase rate (conductance) even in the region over the threshold.

As is clear from the above description, the semiconductor storage device of the present invention makes it possible to make the drain current ratio of the erased state to the written state particularly large.

WHAT IS CLAIMED IS:

1. A semiconductor storage device comprising:

a first conductivity type semiconductor substrate, a first conductivity type well region provided
5 in a semiconductor substrate, or a first conductivity type semiconductor film disposed on an insulator;

a gate insulating film formed on the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor
10 substrate, or the first conductivity type semiconductor film disposed on the insulator;

a single gate electrode formed on the gate insulating film;

two charge holding portions formed on sides of
15 side walls of the single gate electrode;

a channel region disposed under the single gate electrode; and

second conductivity type diffusion layer regions disposed on both sides of the channel region, wherein

20 the charge holding portions are structured so as to change a current amount flowing between one of the second conductivity type diffusion layer regions and the other of the second conductivity type diffusion layer regions when voltage is applied to the gate electrode by an

amount of electric charges stored in the charge holding portions, wherein

a reference voltage is applied to the other of the second conductivity type diffusion layer regions,

5 a first voltage is applied to the one of the second conductivity type diffusion layer regions, and

a second voltage is applied to the gate electrode such that carriers are injected into the charge holding portion existing on the side of the one of the second conductivity type diffusion layer regions.

10 2. The semiconductor storage device as defined in Claim 1, wherein

the first voltage is applied to the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate, or the first conductivity type semiconductor film disposed on the insulator.

3. The semiconductor storage device as defined in Claim 1 or 2, wherein

20 the first conductivity type is P type,
the second conductivity type is N type,
the carriers are positive holes,
the first voltage is higher than the reference voltage, and

the second voltage is lower than the reference voltage.

4. The semiconductor storage device as defined in Claim 1 or 2, wherein

5 the first conductivity type is N type,
the second conductivity type is P type,
the carriers are electrons,
the first voltage is lower than the reference voltage, and

10 the second voltage is higher than the reference voltage.

5. The semiconductor storage device as defined in Claim 1, wherein

15 the second conductivity type diffusion layer regions have an offset structure without an overlap region overlapping the gate electrode with interposition of the gate insulating film.

6. The semiconductor storage device as defined in Claim 2, wherein

20 an absolute value of voltage difference between the other of the second conductivity type diffusion layer regions, and, the first conductivity type semiconductor substrate, the first conductivity type well region provided in the semiconductor substrate or the first conductivity

type semiconductor film disposed on the insulator is 0.7V or more and 1V or less.

7. The semiconductor storage device as defined in Claim 2, wherein

5 a gate length of the gate electrode is 0.015 μm or more and 0.5 μm or less.

8. The semiconductor storage device as defined in Claim 1, wherein

10 the charge holding portion is composed of a first insulator, a second insulator, and a third insulator,

the charge holding portion has a structure in which a film composed of the first insulator having a function of storing electric charges is interposed between the second insulator and the third insulator,

15 the first insulator is silicon nitride, and the second and third insulators are silicon oxide.

9. The semiconductor storage device as defined in Claim 8, wherein

20 a thickness of the film composed of the second insulator on the channel region is smaller than a thickness of the gate insulating film and is 0.8 nm or more.

10. The semiconductor storage device as defined in Claim 8, wherein

a thickness of the film composed of the second insulator on the channel region is larger than a thickness of the gate insulating film and is 20 nm or less.

11. The semiconductor storage device as defined in
5 Claim 8, wherein

the film composed of the first insulator having a function of storing electric charges includes a portion having a surface that is approximately parallel to a surface of the gate insulating film.

10 12. The semiconductor storage device as defined in Claim 11, wherein

the film composed of the first insulator having a function of storing electric charges includes a portion extending in direction approximately parallel to a lateral
15 side of the gate electrode.

13. The semiconductor storage device as defined in Claim 1, wherein

at least part of the charge holding portion is formed so as to overlap part of the second conductivity
20 type diffusion layer region.

ABSTRACT OF THE DISCLOSURE

The structure composed of a semiconductor substrate 11, a gate insulating film 12 formed on the semiconductor substrate 11, a single gate electrode 13
5 formed on the gate insulating film 12, two charge holding portions 61, 62 formed on both sides of a side wall of the gate electrode 13, source/drain regions 17, 18 respectively corresponding to the charge holding portions 61, 62, and a channel region disposed under the single gate electrode 13
10 makes it possible to separate a memory function implemented by these two charge holding portions 61, 62 and a transistor operation function implemented by the gate insulating film 12 for securing sufficient memory function as well as to easily control short channel effect by making
15 the gate insulating film 12 thinner. Also, the two charge holding portions 61, 62 formed on the both sides of the gate electrode 13 are separated by the gate electrode 13, which enables effective control of interference in rewrite operation. Further, appropriate setting of the voltage of
20 the gate electrode 13, the voltage of one diffusion layer region 17, and the voltage of the other diffusion layer 18 enables selective injection of positive holes or electrons into the second charge holding portion 62 on the side of one diffusion layer region 18. Consequently, it becomes

possible to provide a semiconductor storage device enabling two-bit operation and facilitating miniaturization.

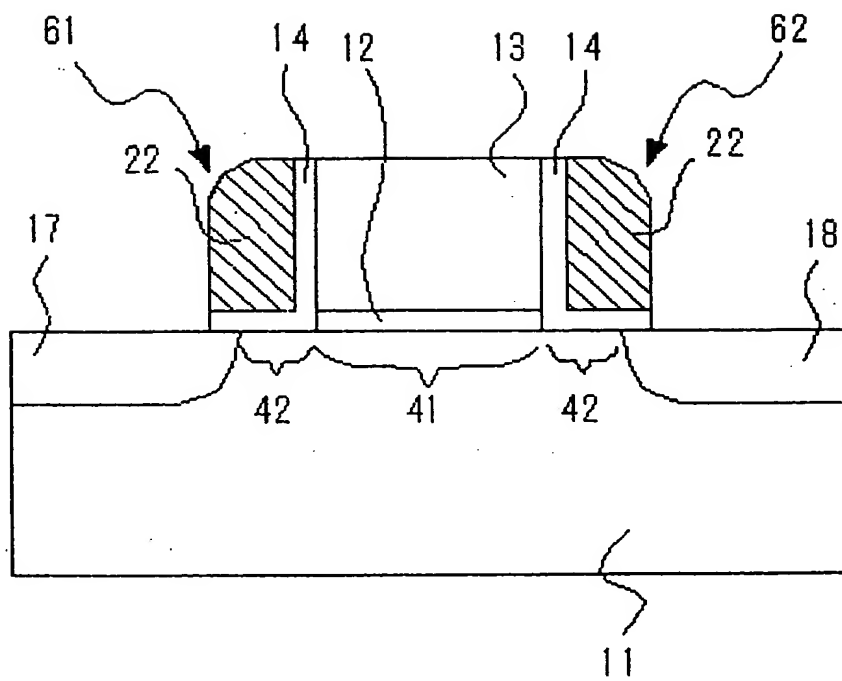
Fig. 2

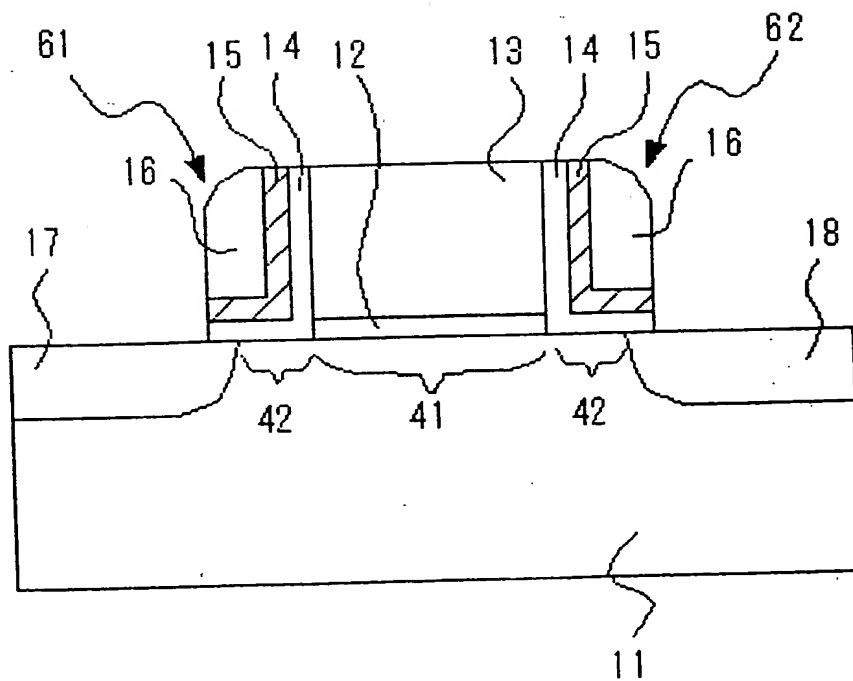
Fig. 3

Fig. 4A

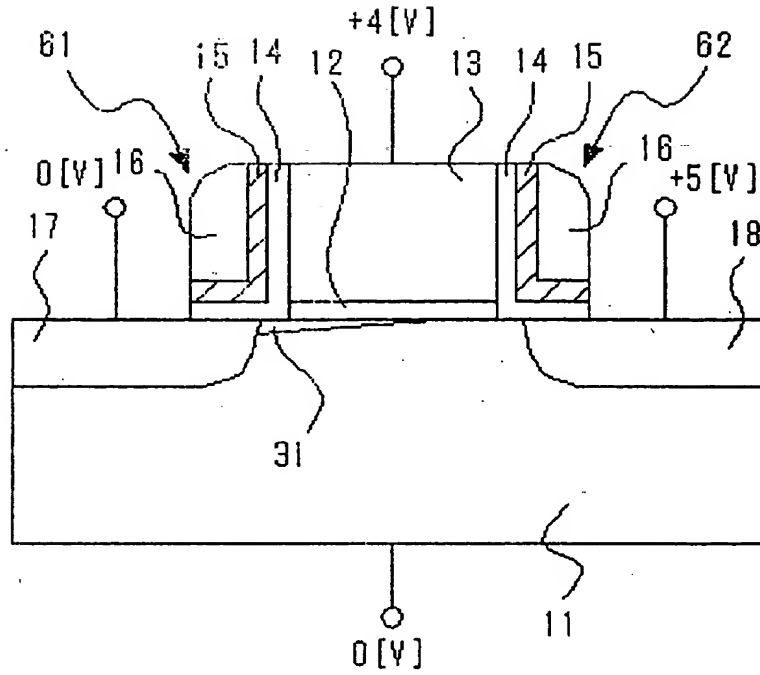


Fig. 4B

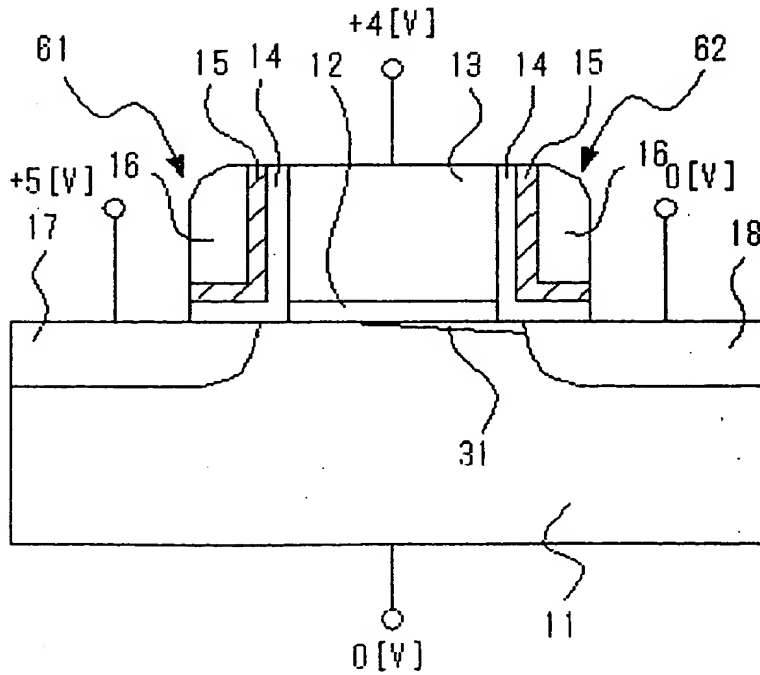


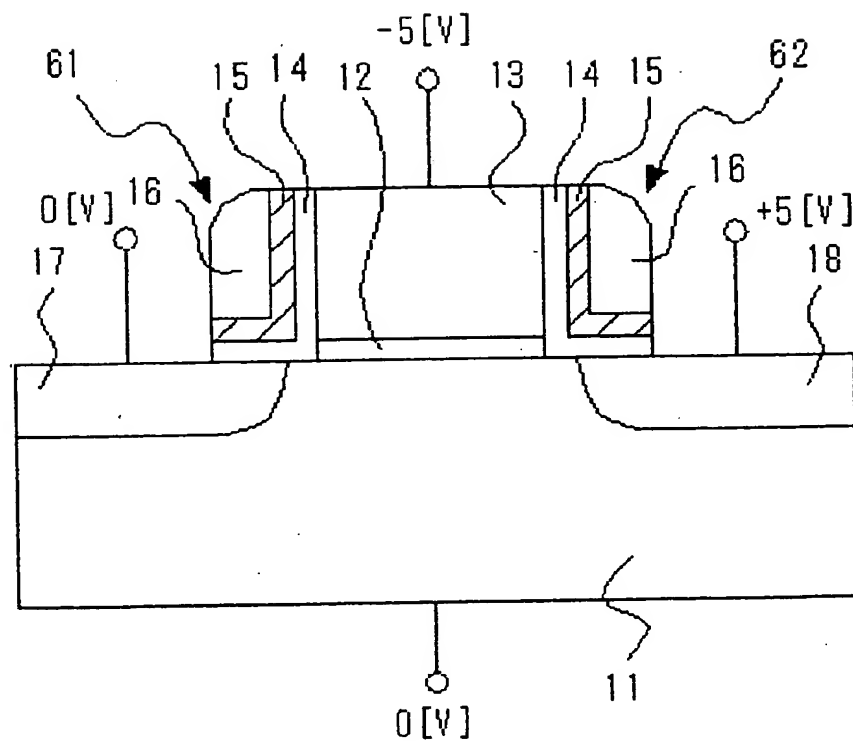
Fig. 5

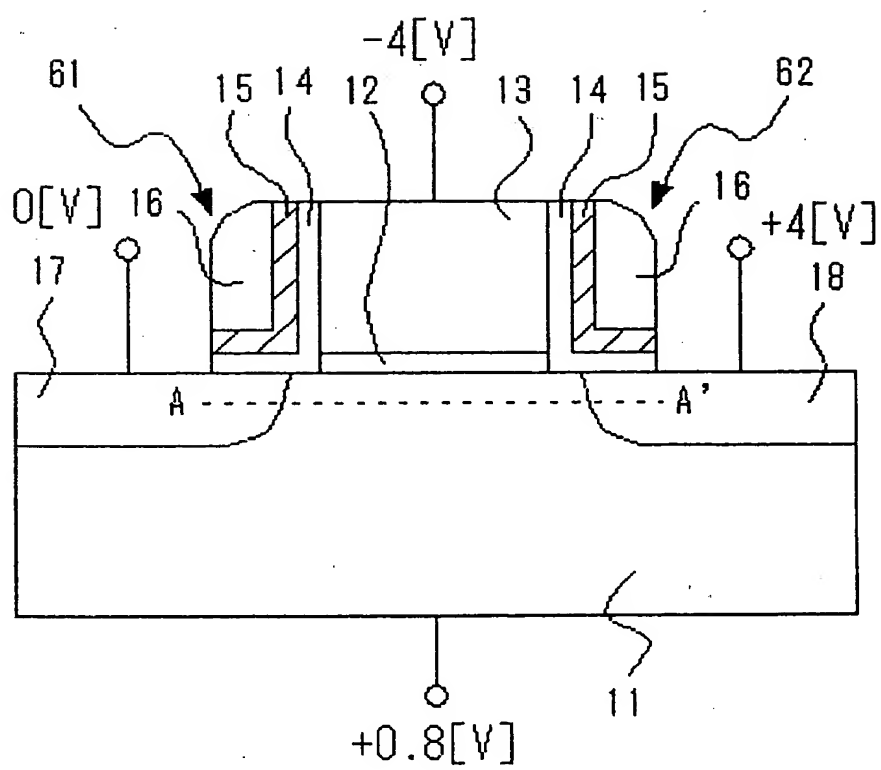
Fig. 6

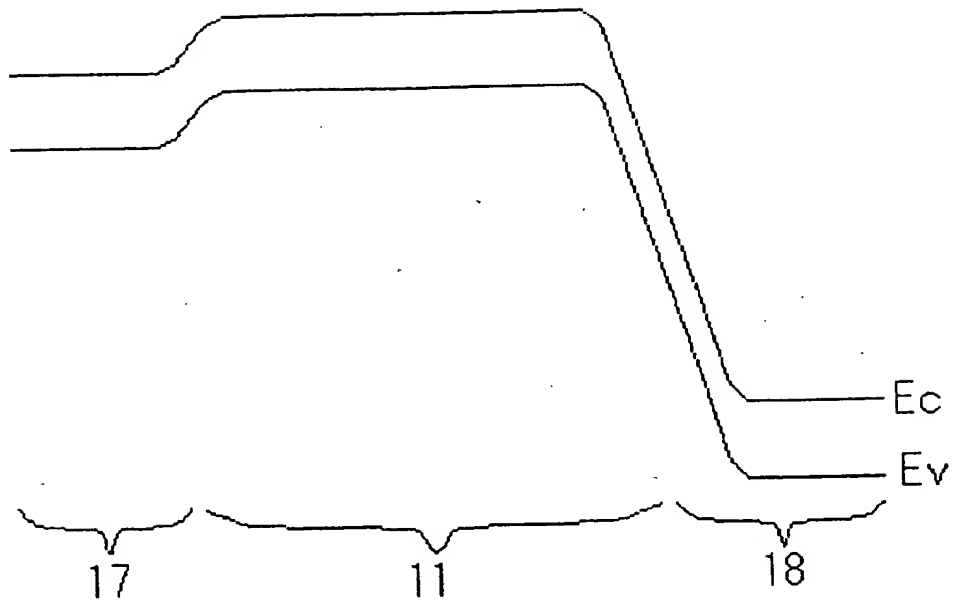
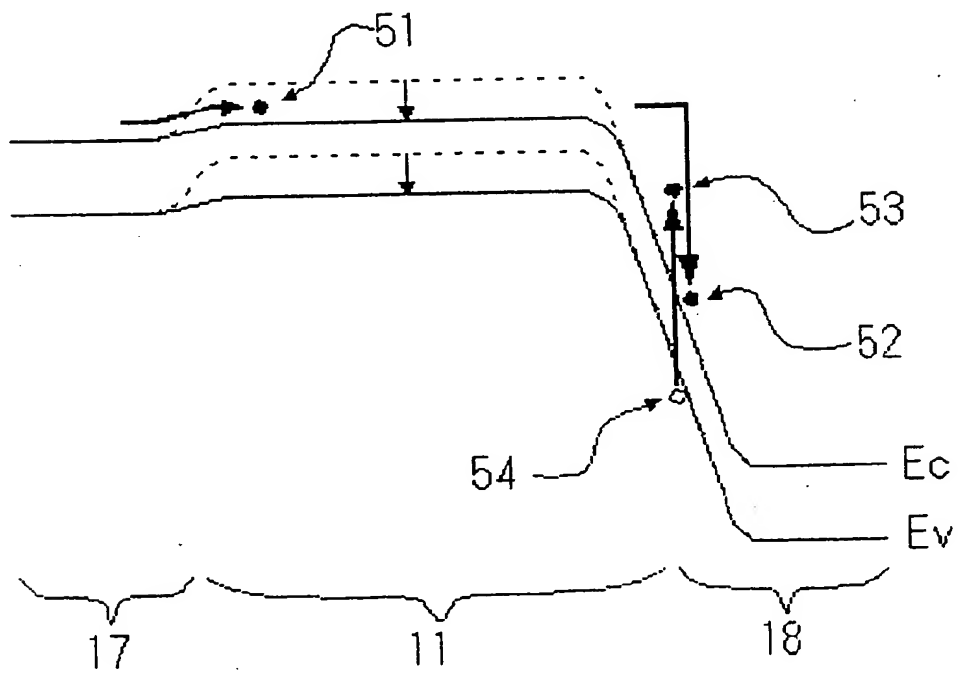
Fig. 7A*Fig. 7B*

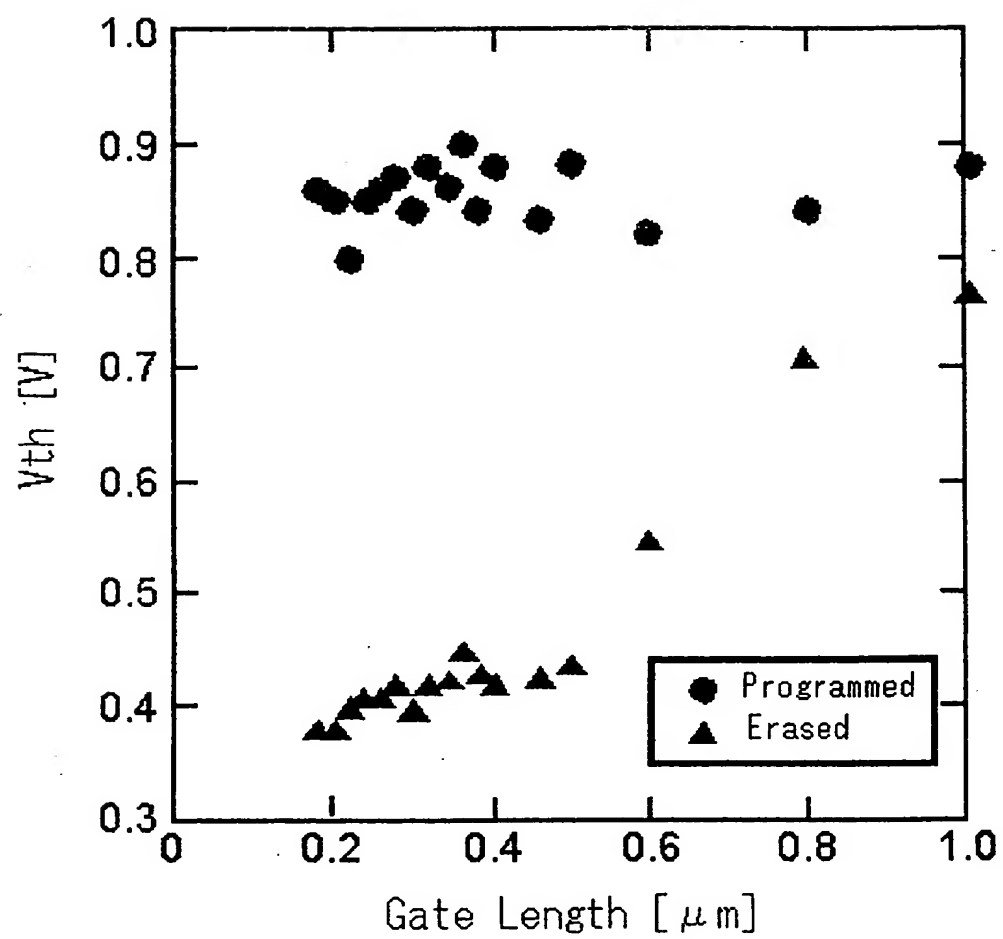
Fig. 8

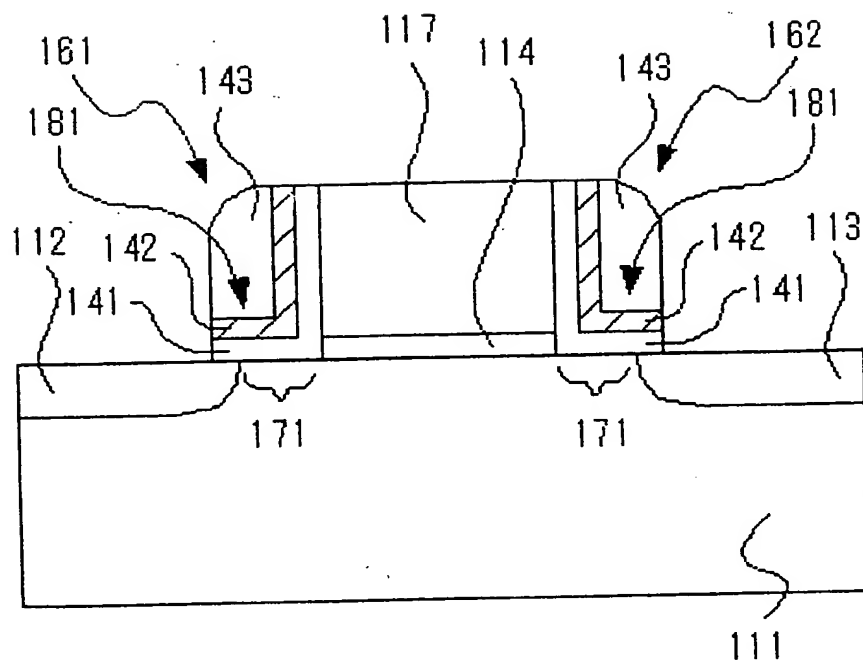
Fig. 9

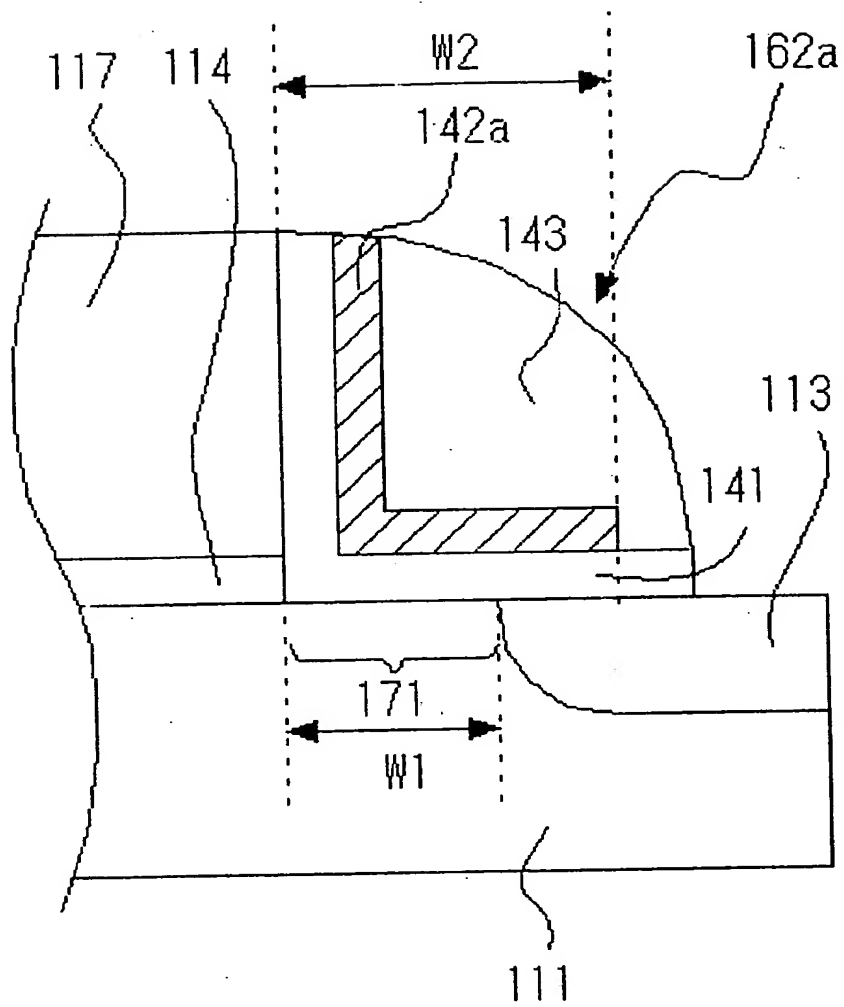
Fig. 11

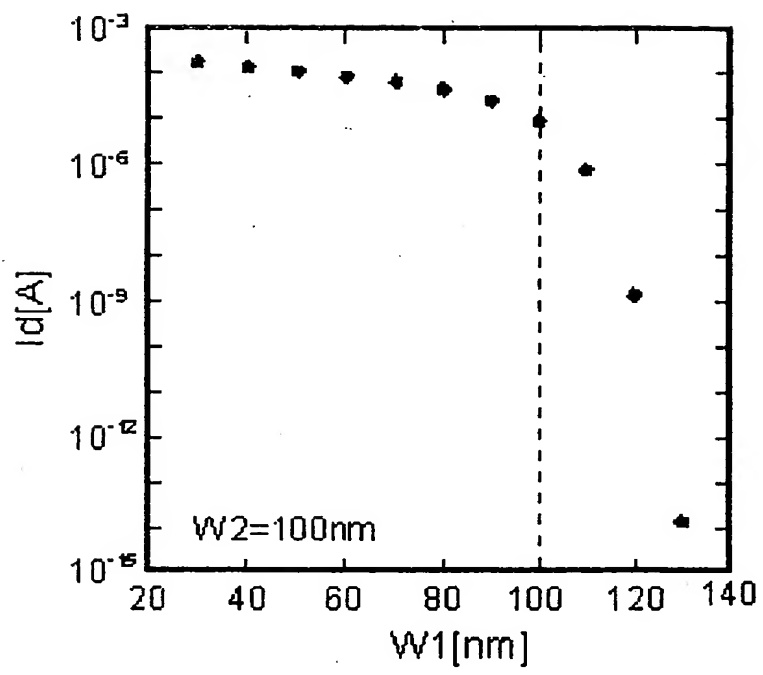
Fig. 12

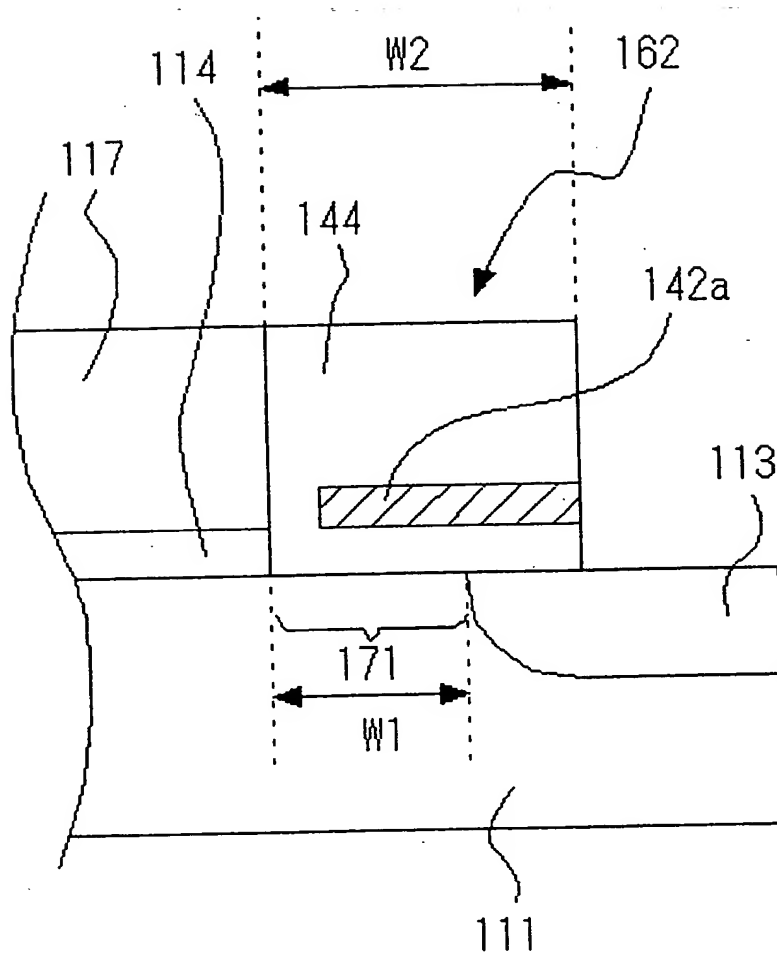
Fig. 13

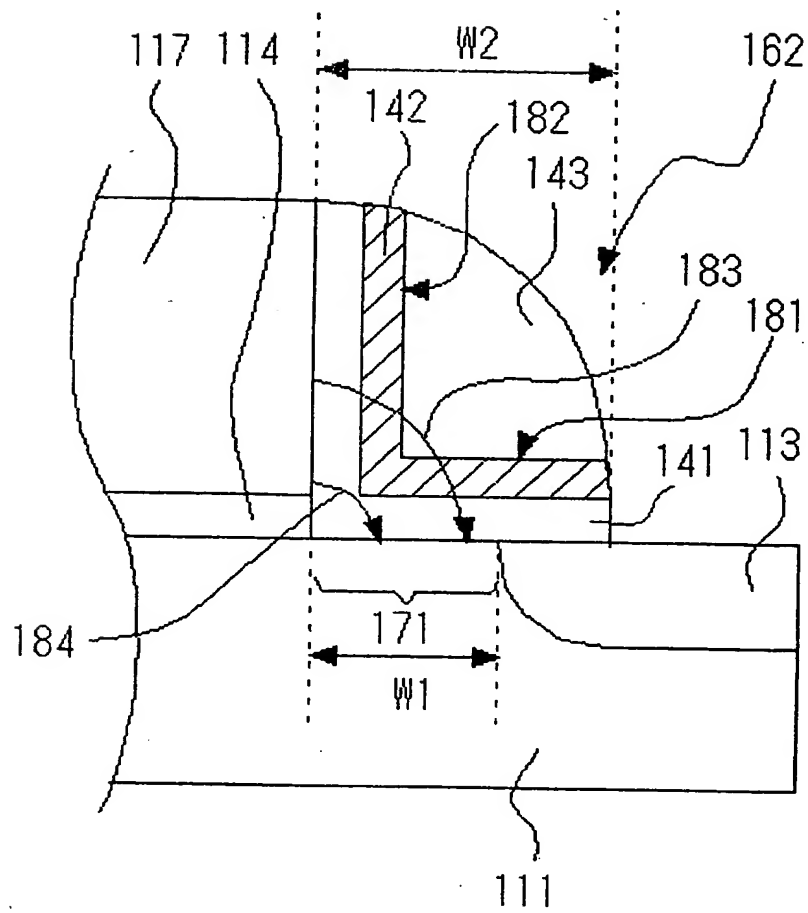
Fig. 14

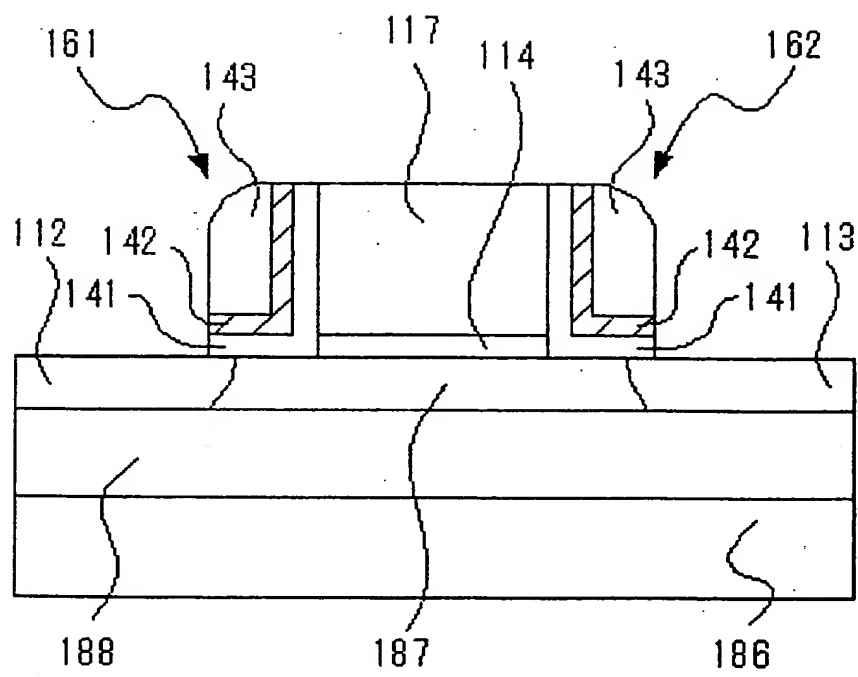
Fig. 16

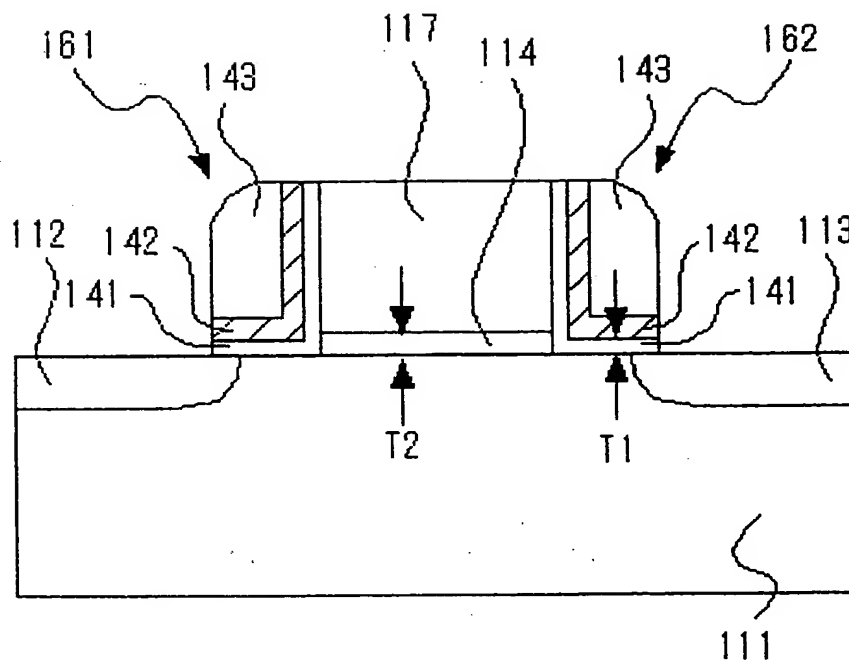
Fig. 18

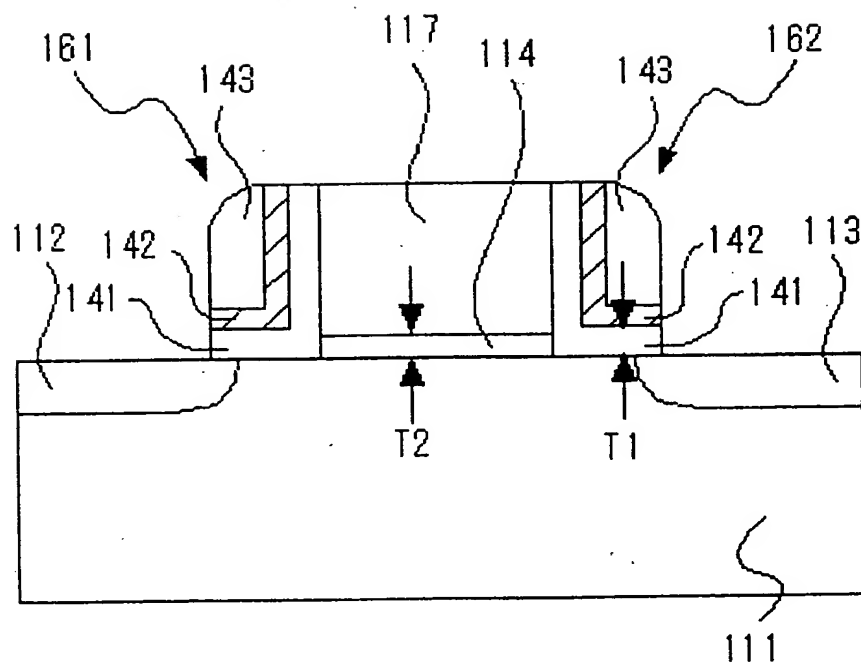
Fig. 19

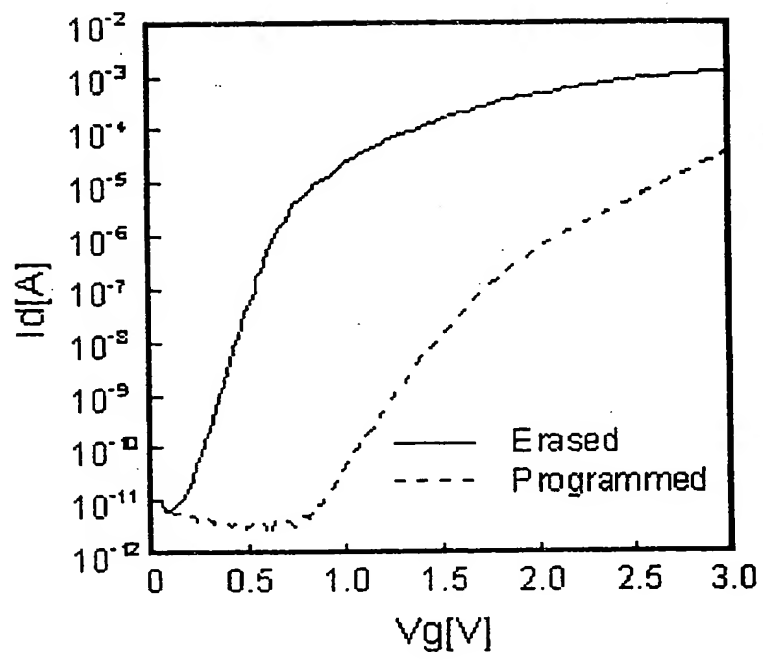
Fig. 20

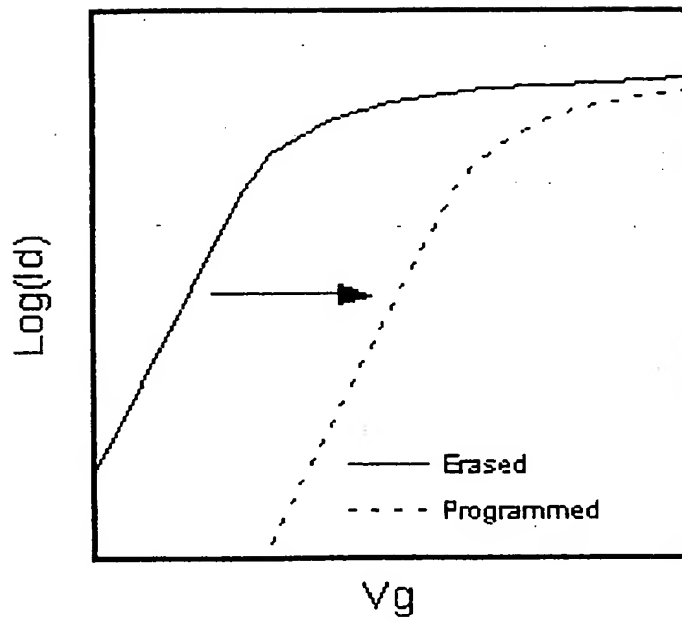
Fig. 21

Fig. 22